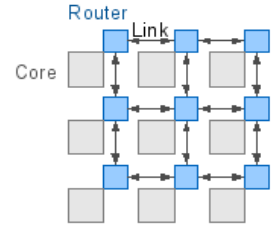


Déploiement optimisé d'applications sur FPGA autour d'un NoC

■ Contexte :

- Paradigme : les NoC
- Exploitation d'une architecture matérielle à base de FPGA
 - *Pour l'accélération de calcul*
 - *Pour la vérification et l'exploration de l'espace de conception*



■ Objectif :

- Automatiser la synthèse de haut niveau des NoC pour réaliser une adéquation entre un algorithme et une architecture matérielle.

■ Solution proposée :

- Chaîne de synthèse partant d'un diagramme d'activités pour réaliser le placement sur un NoC des IP et gérer le trafic réseau.



Simulation Multiprocesseur rapide avec support de trace pour le rejeu, l'analyse et la rétro annotation du code

□ Motivation

- La correction d'erreurs au début du cycle de développement est moins chère;
- Des simulations plus rapides permettent le co-développement matériel/logiciel efficace;

□ Objectifs

- Améliorer le compromis entre rapidité et précision pour produire les traces;
- Utiliser les traces pour le rejeu, l'analyse et la rétro-annotation du code.

□ Technologies

- *Binary Translation*
- *Transaction-Level Modeling (TLM)*
- *Non-Intrusive trace generation*
- ...

