



SIMULATION MULTIPROCESSEUR RAPIDE AVEC SUPPORT DE TRACE POUR LE REJEU, L'ANALYSE ET LA RÉTRO ANNOTATION DU CODE



Marcos Cunha and Frédéric Pétrot

Laboratoire TIMA, Grenoble INP, Université Joseph Fourier, Grenoble, France

Abstract

L'utilisation de simulateurs dans le but de valider de nouveaux composants avant la phase de prototypage permet des économies de temps et d'argent. Cependant, il y a un compromis à faire entre la précision et la rapidité de la simulation, en particulier parce que les systèmes devenant d'une complexité redoutable, les simulateurs relativement précis ne sont plus assez rapide. Dans notre travail, nous utilisons une stratégie qui permet un bon compromis entre la précision et la rapidité de la simulation. Cette approche utilise une technologie de traduction binaire dynamique pour effectuer la simulation des jeux d'instructions de processeurs et la modélisation au niveau transactionnel pour les autres composants. Une implémentation de cette technique est disponible dans la plate-forme Rabbits. On propose des modifications de cette plate-forme pour permettre générer les traces du logiciel qui contiendra des informations importante comme des informations temporelles, la consommation en énergie estimée et la relation entre l'instruction exécutée et son impact sur les autres composantes, comme la mémoire cache ou la mémoire partagée. Ces traces permettent de faire, par exemple, l'estimation de la consommation en énergie du Système sur puce ou de faire des analyses sur l'exécution du code, comme l'identification de courses pour l'accès aux variables dans les systèmes parallèles ou la congestion lors d'accès à la mémoire partagée.

Motivation

- Coût moins cher pour la correction des erreurs au début du cycle de développement.
- Temps de développement plus rapide pour permettre le co-développement matériel/logiciel.
- Améliorer le compromis entre rapidité et précision pour produire les traces.
- Fournir des informations pour permettre des analyses en fonction de la trace.

Méthodologie

Dans ce travail, on se propose d'ajouter des informations de trace à chaque instruction en utilisant la plate-forme RABBITS.

- Modification au niveaux de la traduction et de l'exécution.

Le modèle de trace a été proposé pour [HP11] ajouter des information de temps et des relations entre les composants du système. Par exemple, si une instruction produit un "cache miss", le système de trace produit un événement de type **cache miss** et fait un lien avec l'instruction originale.

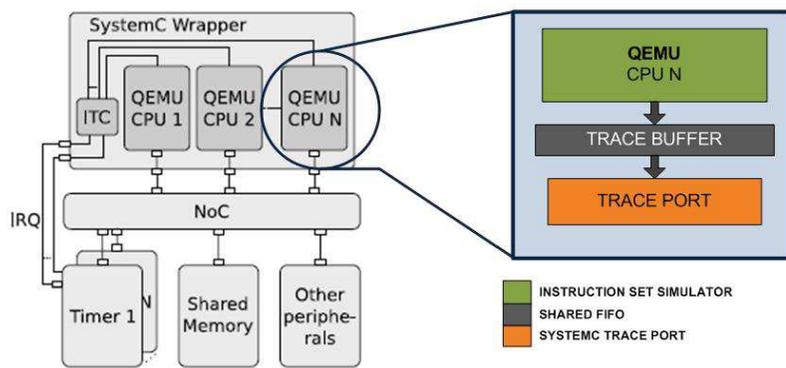


FIGURE 1: Modifications ajouter à RABBITS [GFP09] pour permettre prendre les traces.

Notre simulateur utilise des principes présentés dans [GFP09], qui permet d'utiliser SystemC, qui est très précis, et QEMU, qui est très rapide. Notre modification consiste à produire les événements relatifs aux instructions et aux accès à la mémoire cache et à la mémoire partagée.

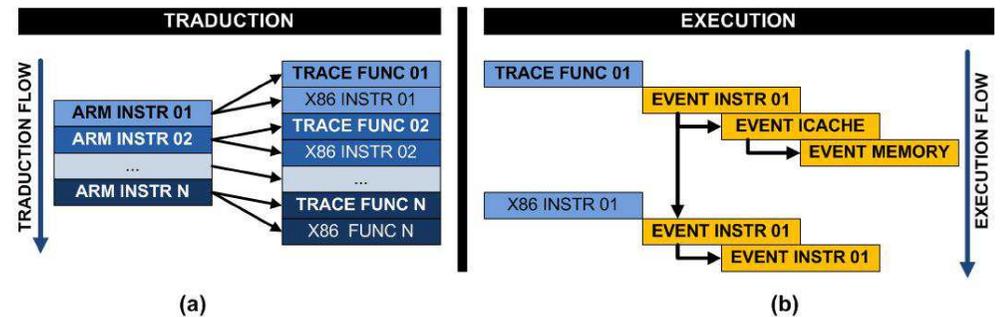


FIGURE 2: (a) La traduction du code cible, (b) L'exécution du code avec la génération des événements.

Les informations de la trace nous permettent de faire des analyses sur l'exécution du système, comme on peut voir dans le travail à propos de la congestion des accès à mémoire [LTP], mais on peut faire d'autres analyses comme sur la puissance consommée par les fonctions.

Travaux Futurs

- Ajouter des informations de puissance à la trace.
- Construire des relations entre les informations de la trace et du code source.
- Intégrer le système de simulation à un outil graphique.
- Intégrer des modèles de puissance de bas niveaux.
- Utiliser d'autres méthodes d'écriture du cache.
- Modélisation du pipeline des instructions.

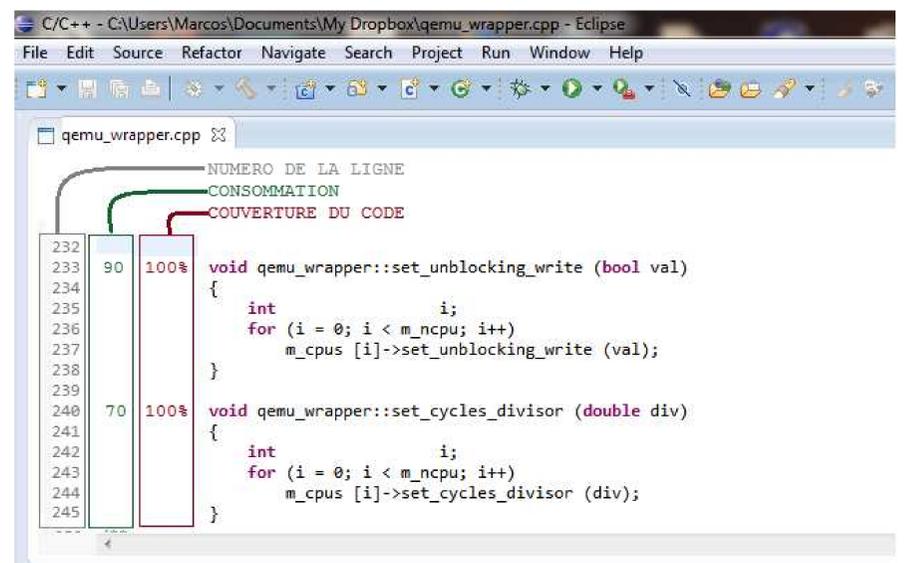


FIGURE 3: Eclipse avec des informations obtenues grâce à la trace, par exemple, consommation par fonction et couverture du code.

References

- [GFP09] Marius Gligor, Nicolas Fournel, and Frédéric Pétrot. Using binary translation in event driven simulation for fast and flexible MPSoC simulation. In *Proceedings of the 7th IEEE/ACM international conference on Hardware/software codesign and system synthesis, CODES+ISSS '09*, page 71–80, New York, NY, USA, 2009. ACM.
- [HP11] D. Hedde and F. Petrot. A non intrusive simulation-based trace system to analyse multiprocessor systems-on-chip software. In *2011 22nd IEEE International Symposium on Rapid System Prototyping (RSP)*, pages 106–112, May 2011.
- [LTP] Sofiane Lagraa, Alexandre Termier, and Frédéric Pétrot. Data mining mpsoC simulation traces to identify concurrent memory access patterns. In *Proceedings Design Automation and Test in Europe 2013*, page 755–760, Grenoble, France.