

Mise en œuvre d'un algorithme de gestion de collision dans un réseau sur puce.



Atef DORAI¹, Virginie FRESSE¹, Nabila FILALI MERCHAOU²

¹Laboratoire Hubert Curien

CNRS UMR 5516 SAINT ETIENNE FRANCE

²Ecole Nationale d'ingénieurs de Monastir

5019 TUNISIE

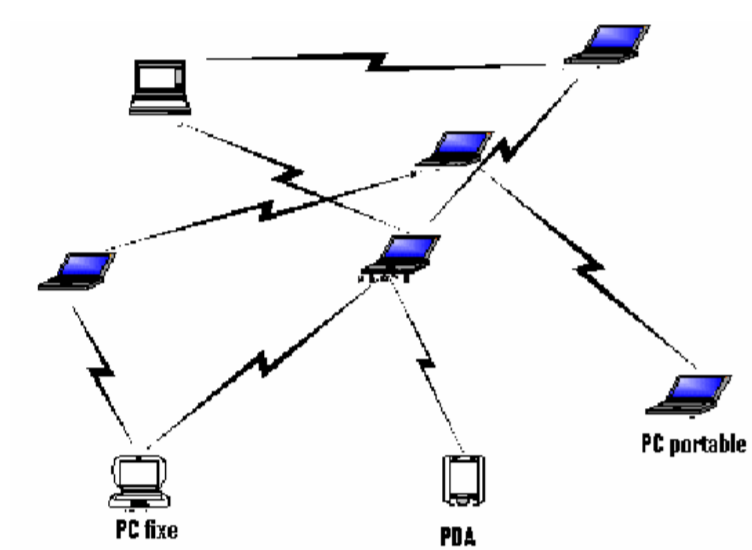


Mot clés

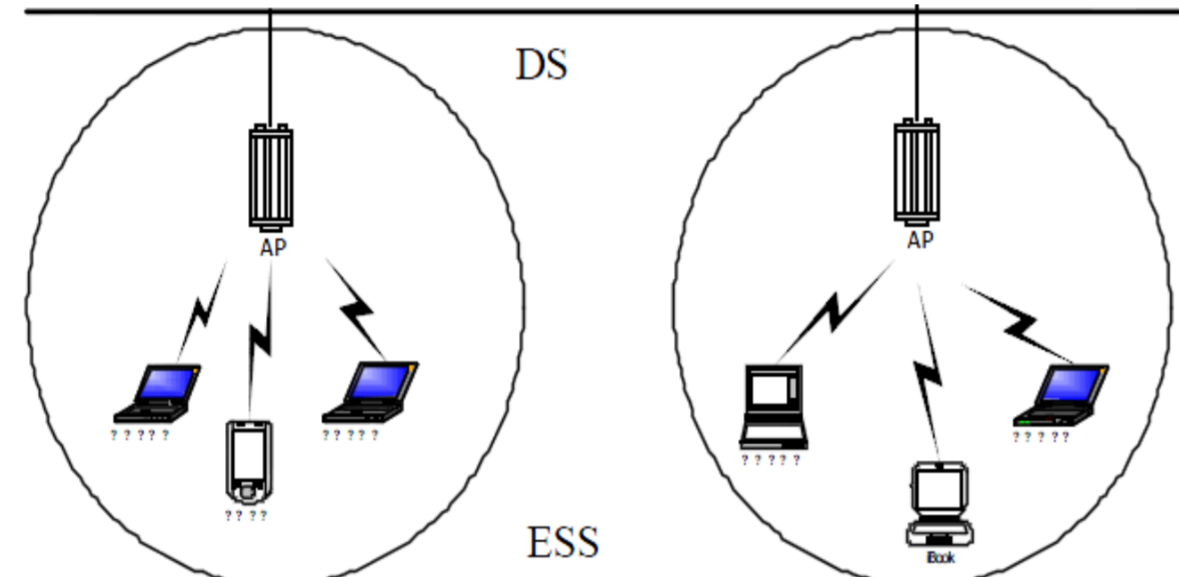
Algorithmes de gestion de collision, réseaux WIFI (CSMA/CA), NoC générique, Multi-FPGA.

Contexte de l'étude

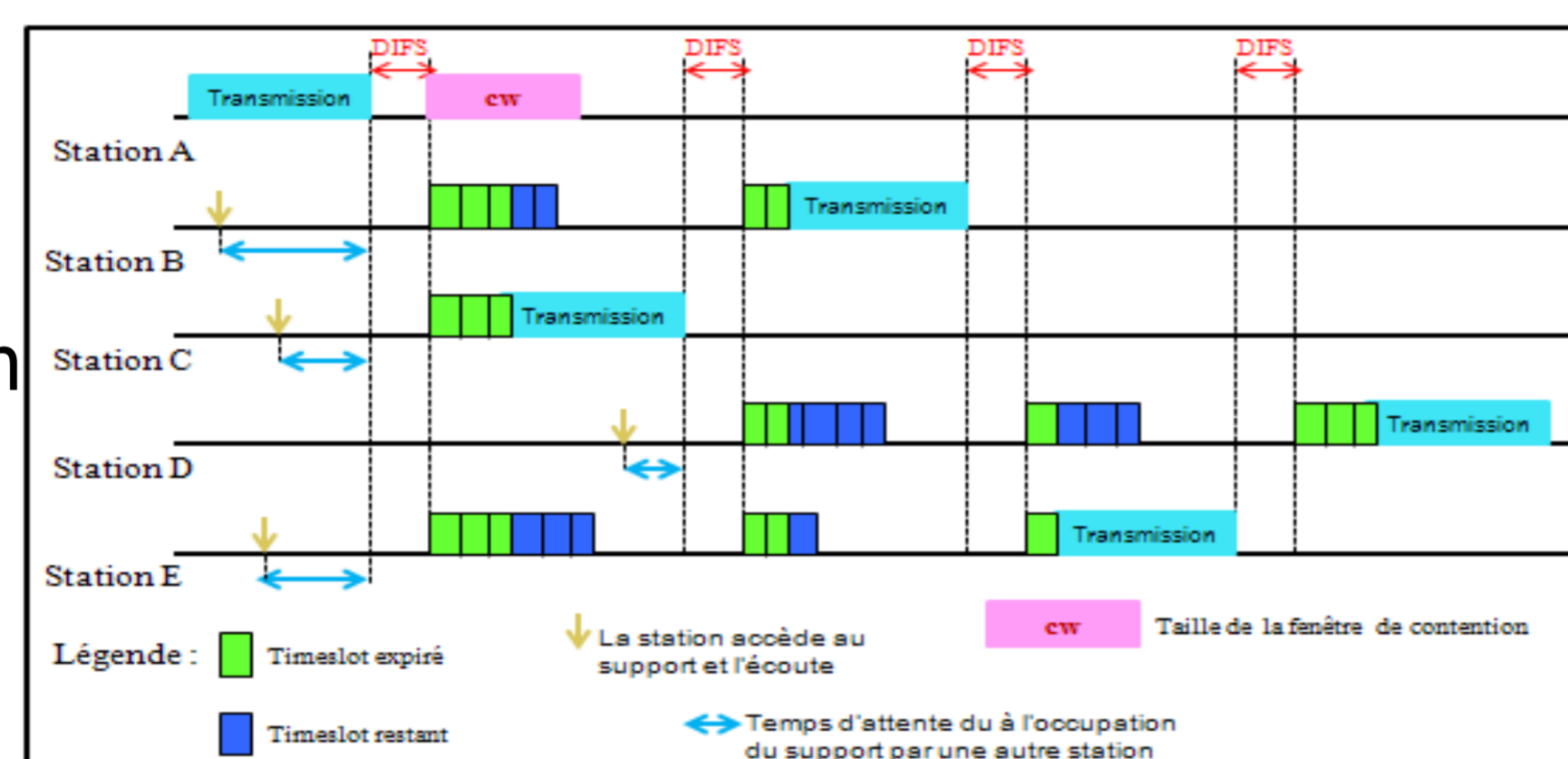
Architecture Ad-hoc



Architecture infrastructure



- Backoff_Timer = CW * TS
- ✓ CW: Window Contention
- ✓ TS = Time Slot



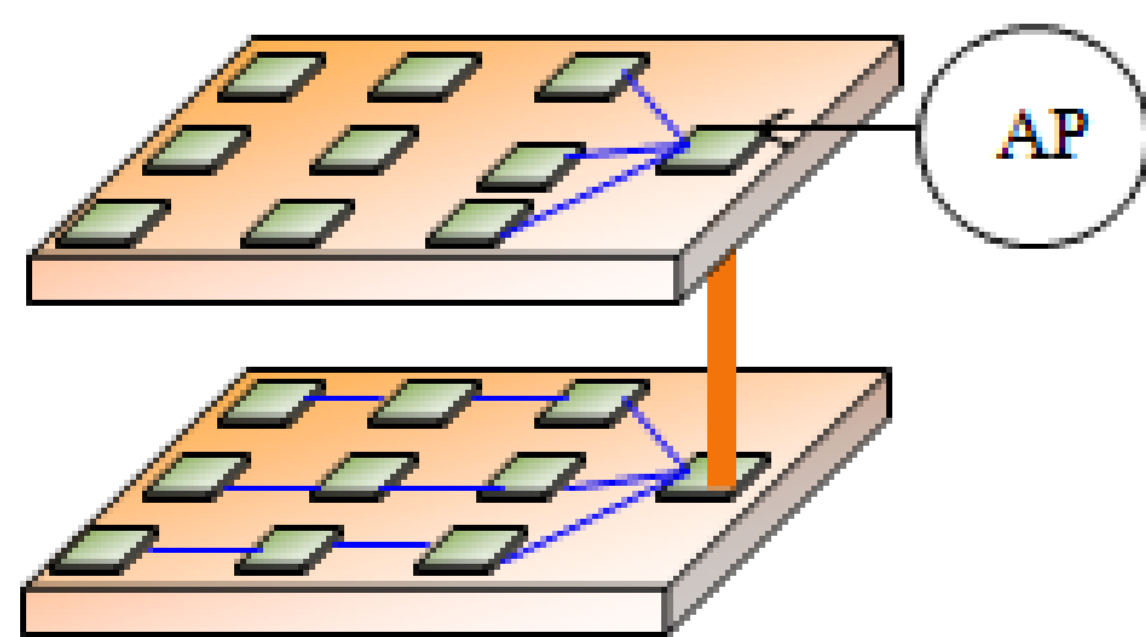
Pourquoi un algorithme de gestion de collision des réseaux informatiques dans un NoC?

- Permet de gérer des collisions dans des liens externes pour supprimer les goulots d'étranglement entre 2 FPGAs.

Problématique

Positionnement du problème pour l'application

- Augmentation du nombre d'IP
- Déploiement d'un NoC sur plusieurs FPGAs :
 - ✓ Le nombre total des ressources du NoC et des cœurs de calcul étant nettement supérieur au ressource d'un seul FPGA.



Structure de communication inter-FPGA

➢ **Access-Point:** permet de donner un accès au bus externe aux différents routeurs avoisinants du réseau NoC.

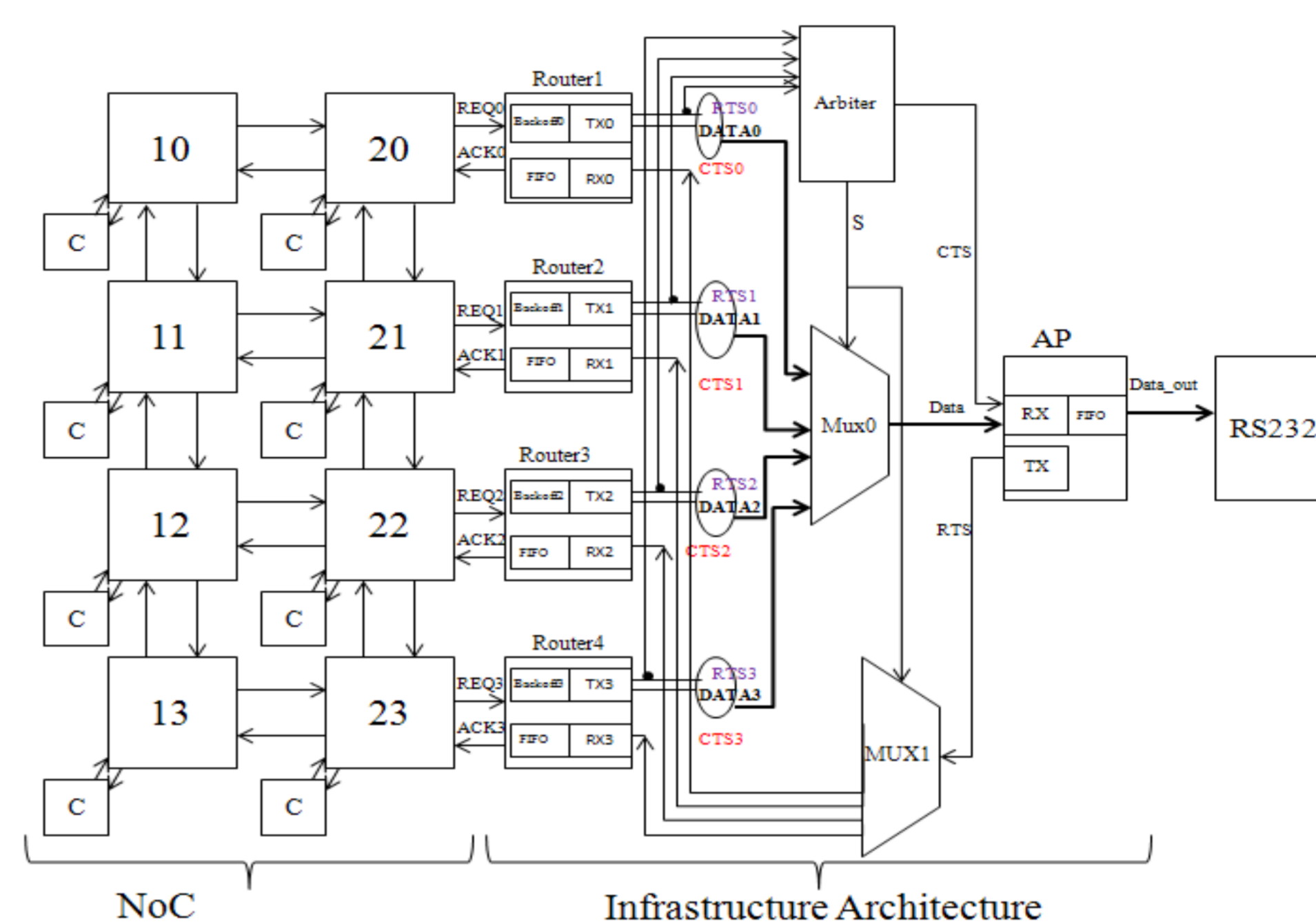
Proposition : un algorithme Backoff dédié à la résolution des problèmes de collisions dans une architecture NoC multi-FPGAs.

- Topologie : infrastructure
- Algorithme de routage : non adaptatif

Travaux réalisés/Résultats

L'intégration de l'algorithme Backoff nécessite l'ajout d'un certain nombre de blocs au niveau des routeurs connectés à l'AP.

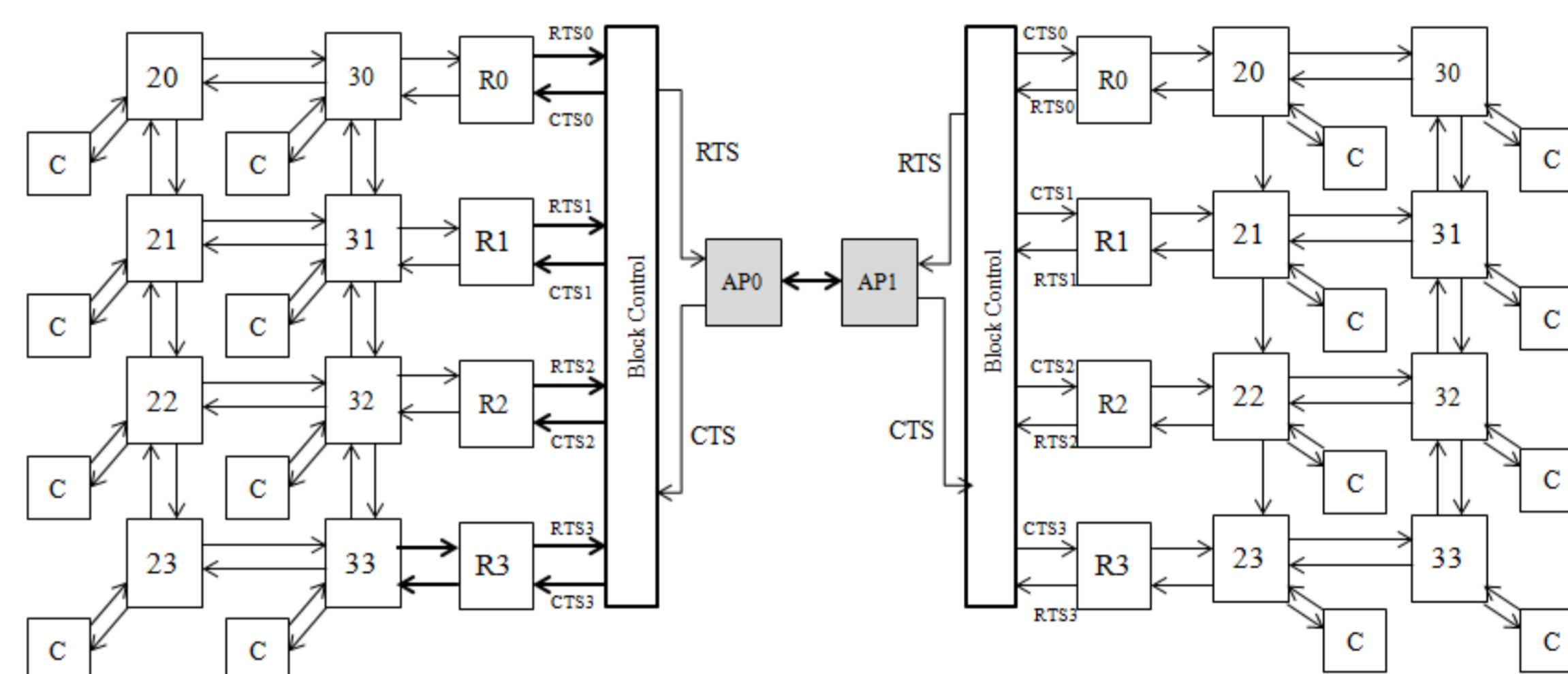
- Algorithme Backoff.
- Transmit unit (TX)
- Receive unit (RX)
- FIFOs double horloges.
- Un bloc de gestion globale
- AP



Architecture de l'algorithme Backoff dédié au NoC sur multi FPGA

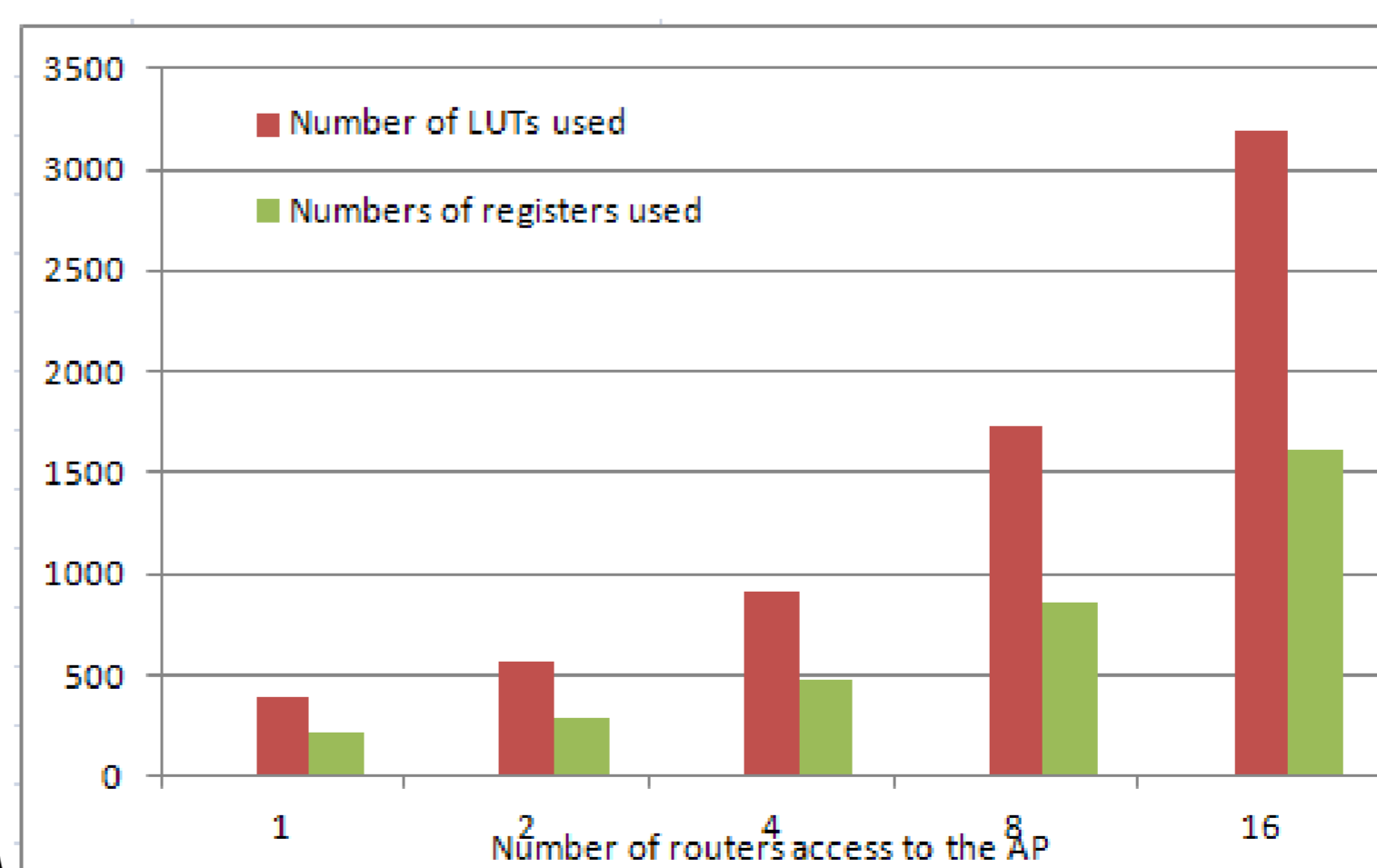
Principe:

- Intégration des blocs décrits en VHDL synthétisable dédiés à la gestion de collision entre les routeurs accédant à l'AP sur 2 NoC existant.

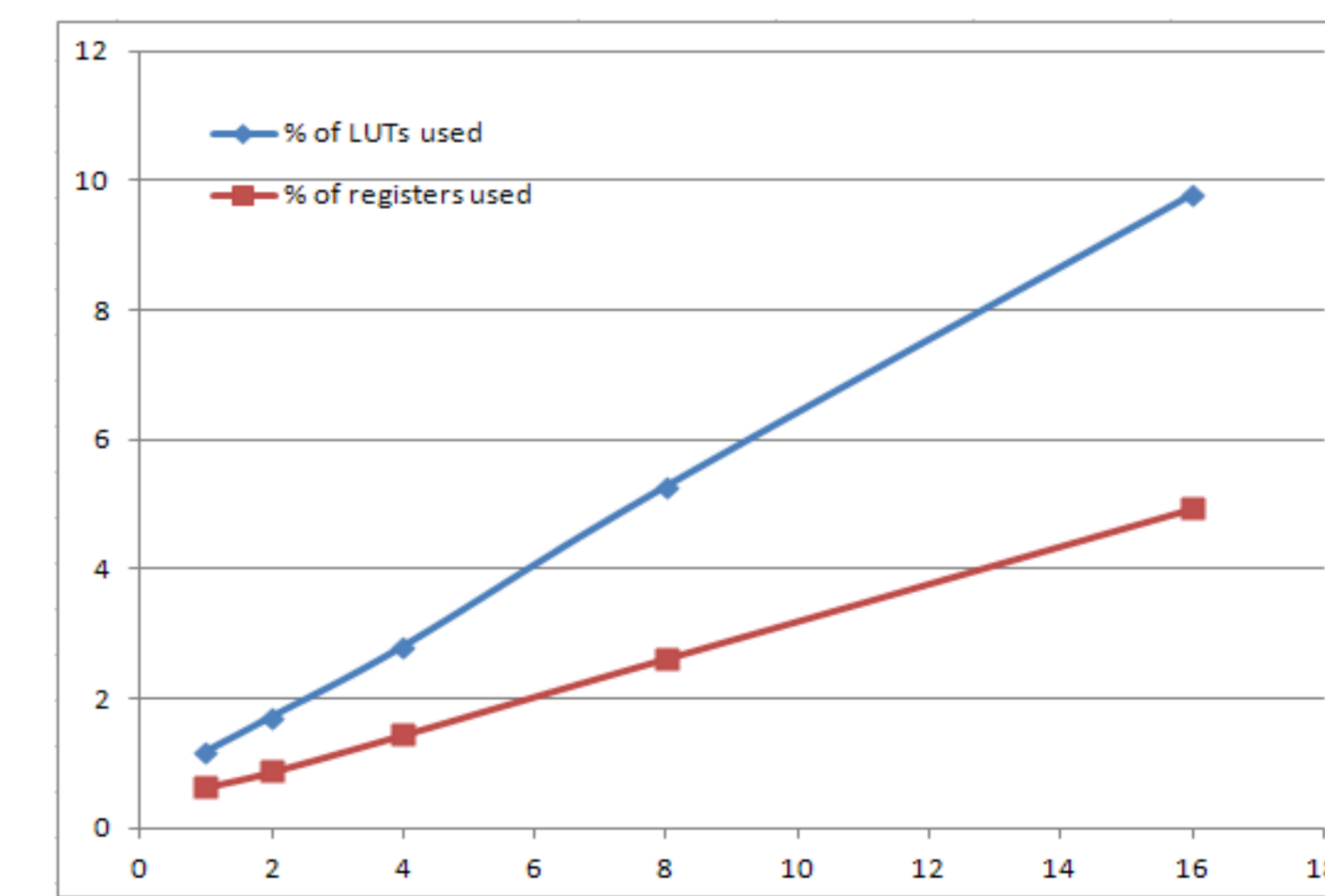


- Outil : ModelSim, Xilinx ISE.
- FPGA Xilinx Virtex-5: 2 plateformes ML506

- Nombre de routeurs accédant au point d'accès varie entre 1 et 16.
- Un seul lien de communication qui relie les deux FPGAs.



Number of Ressource LUTs and registers used



% of Ressource LUTs and registers used

Travaux en cours

- Intégration de l'algorithme Backoff dans un NoC.
- Exploration de l'espace de conception sur Multi-FPGA.



Cluster de recherche ISLE Rhône-Alpes