

les technologies de mémoire résistives dans les systèmes de demain : perspectives et derniers verrous

Yves Durand CEA-Leti

Journées SEmba 4&5 Avril 2013

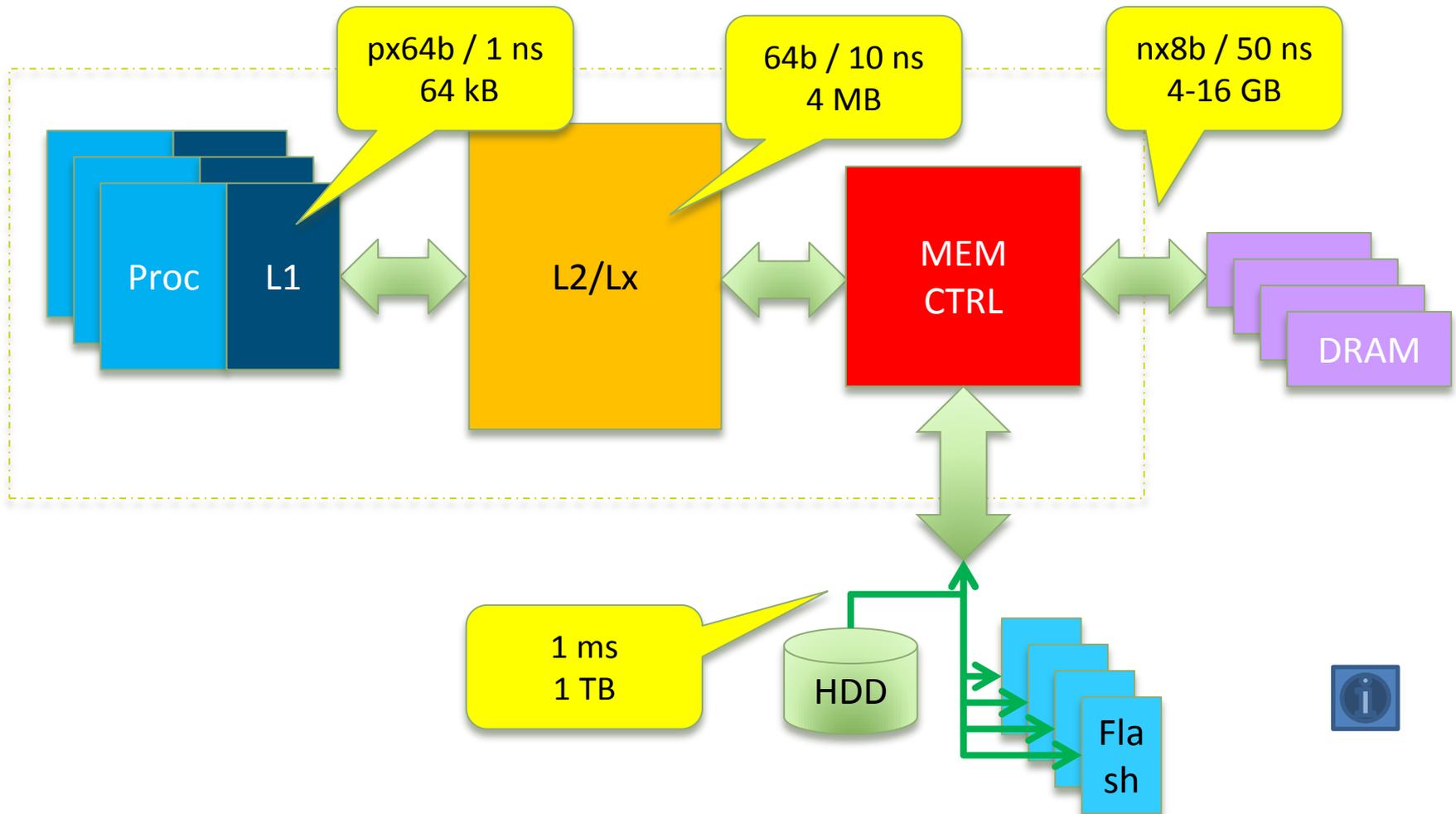
De quoi s'agit-il ?

- Résultat d'une réflexion à plusieurs
 - Julien Mottin, Michel Harrand, Mickaël Cartron, Olivier Thomas, Rodolphe Héliot, Yves Durand
- Le sujet: **comment réduire le goulot d'étranglement entre processeur et mémoire ?**
- La solution ne se réduit pas aux nouvelles technologies de mémoire, mais c'est le chemin le plus évident

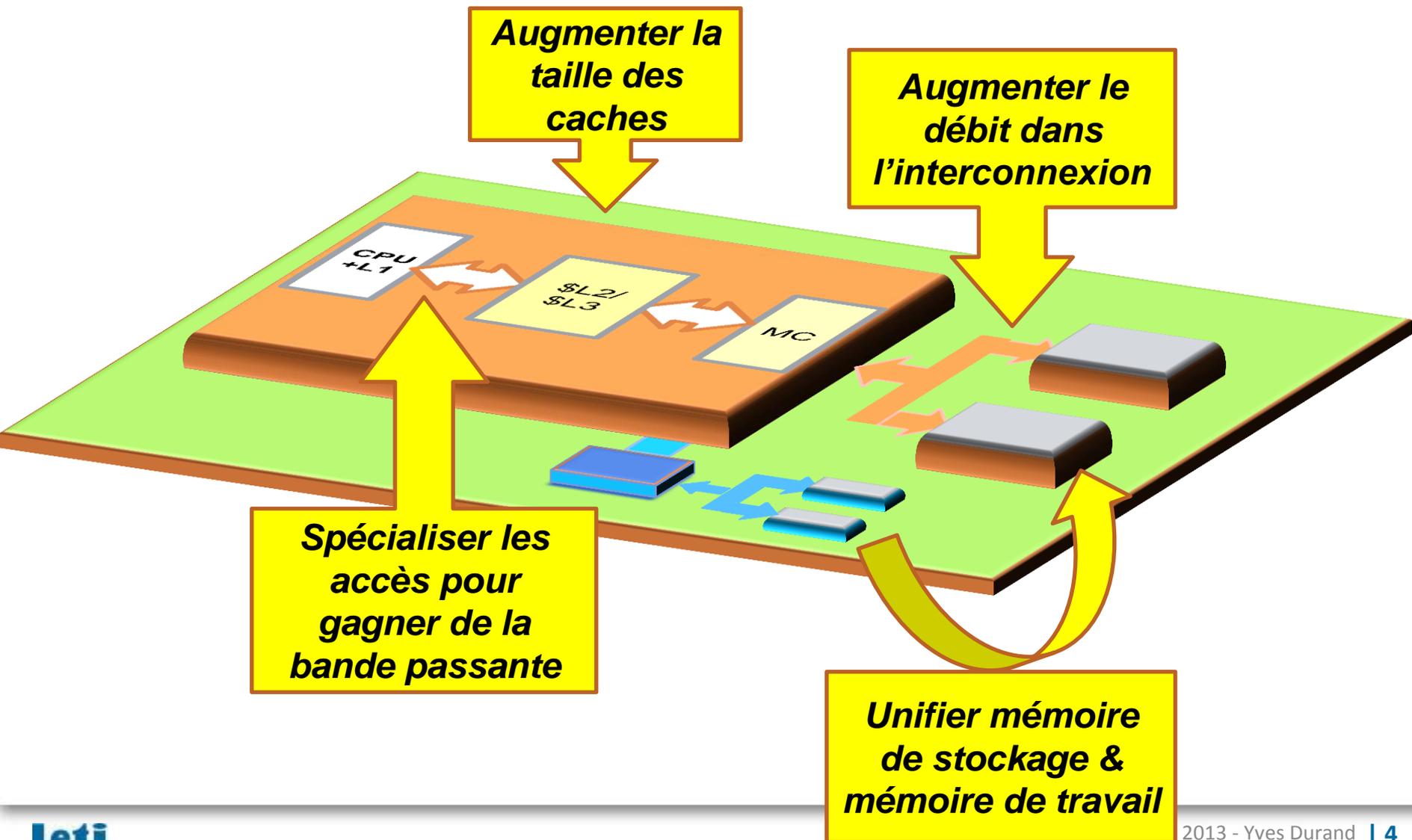


Le « mur du débit » a 20 ans

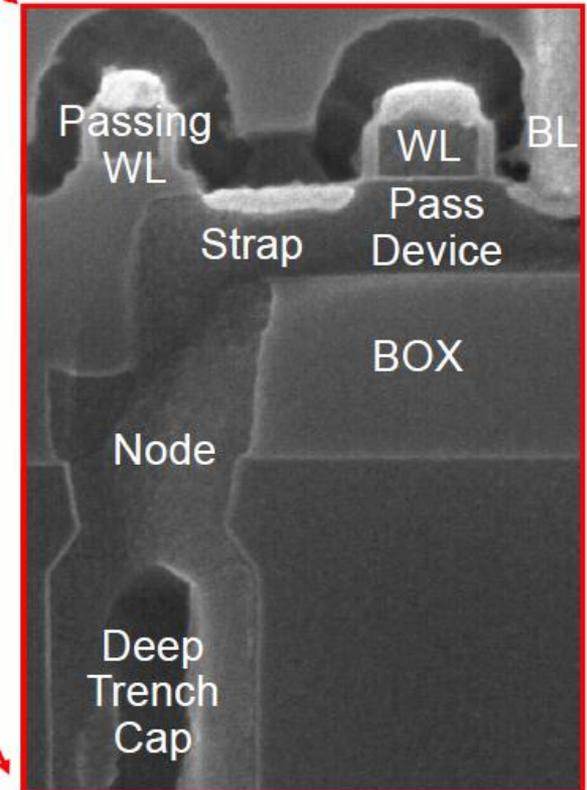
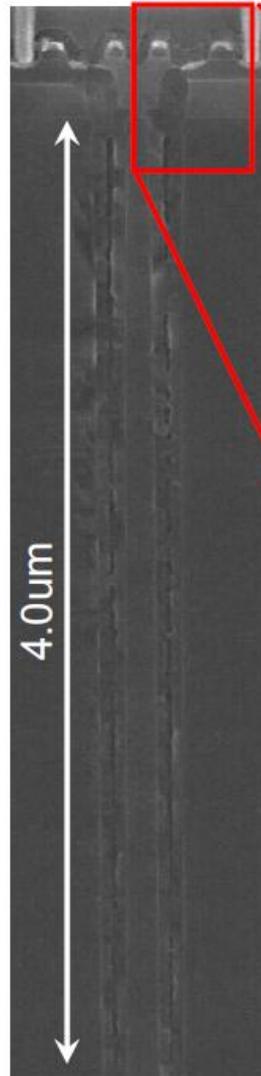
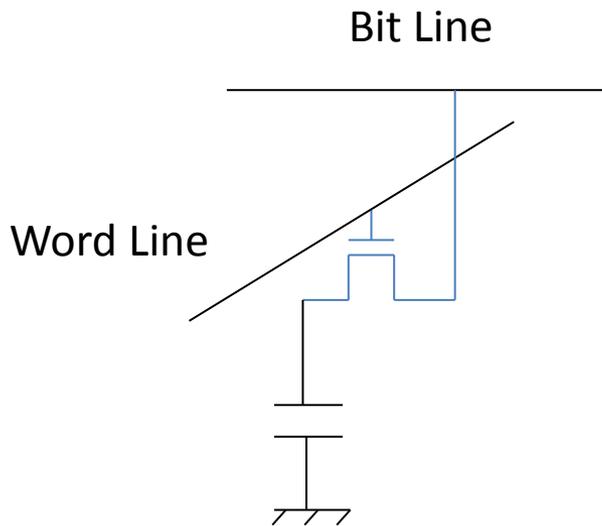
Objectif: nourrir le(s) processeur(s)



comment améliorer l'efficacité des accès mémoire ?



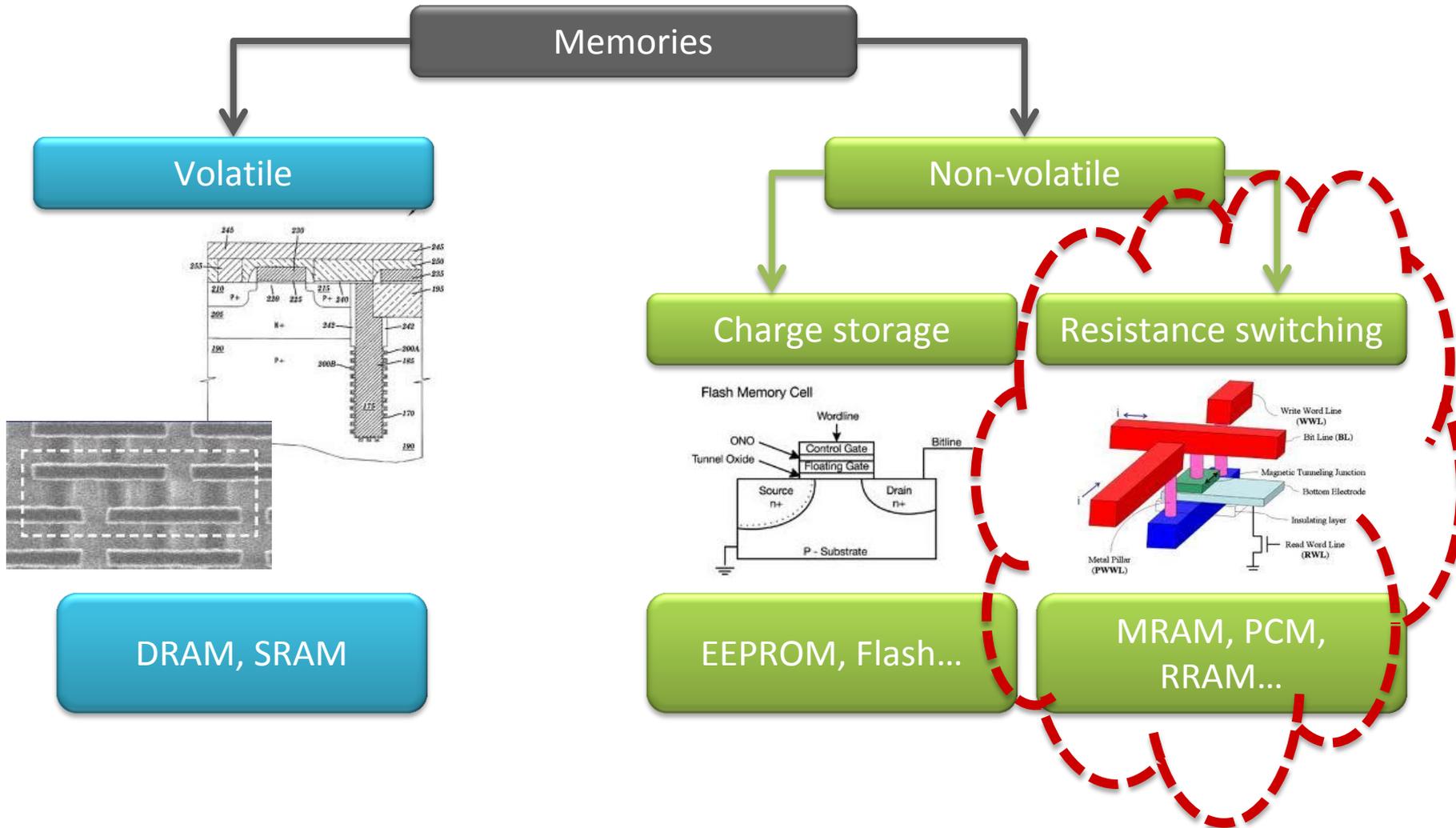
Pourquoi les dram coincent



Source: M.Harrand + internet (?)

Nouvelles technologies de mémoires

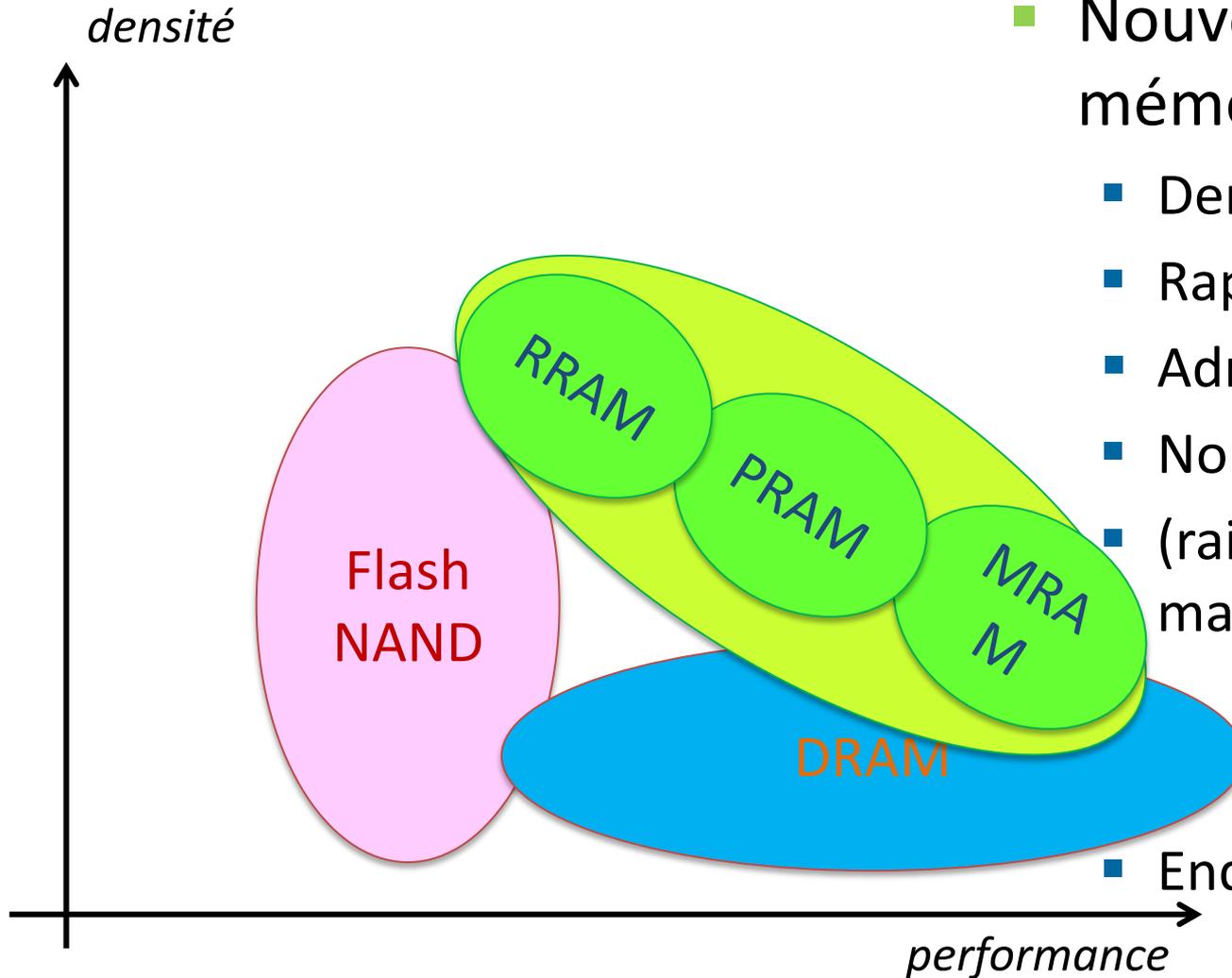
1/2



Opportunités technologiques

- Nouvelles technologies mémoires

- Denses
- Rapide
- Adressables par byte
- Non volatiles
- (raisonnablement) matures



- Endurance modérée

Petit bestiaire des RAMs (très partiel)

■ PCRAM

- Phase change RAM: le verre de chalcogénure bascule entre l'état amorphe et cristallin quand on le chauffe

■ MRAM

- Mémoire magnétique
- À Grenoble : SPINTEC -> CROCUS

■ CBRAM

- Conductive bridging RAM: conductivité assurée par la dissolution d'ions métalliques entre 2 électrodes
- ALTIS (Corbeil-Essone)

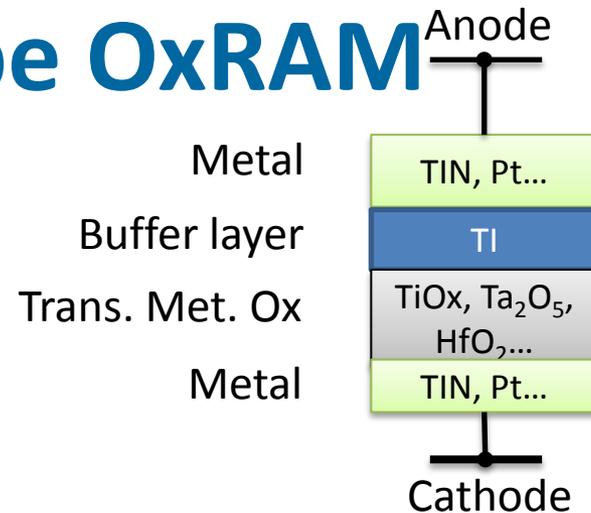
■ OxRAM

- Oxide-based resistive memory
- ST

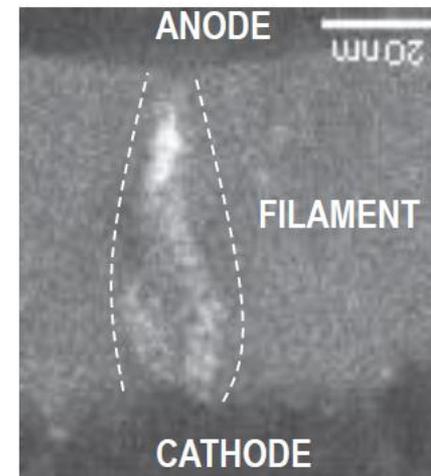
Resistive RAM de type OxRAM

- Structure simple (MIM)
- Non volatile
- compatible avec le process CMOS
- Intégration dans le « Back-End »
- Pas d'impact sur le Front-End

- Question du Cycle de rodage (forming): demande plus d'énergie que les cycles suivants

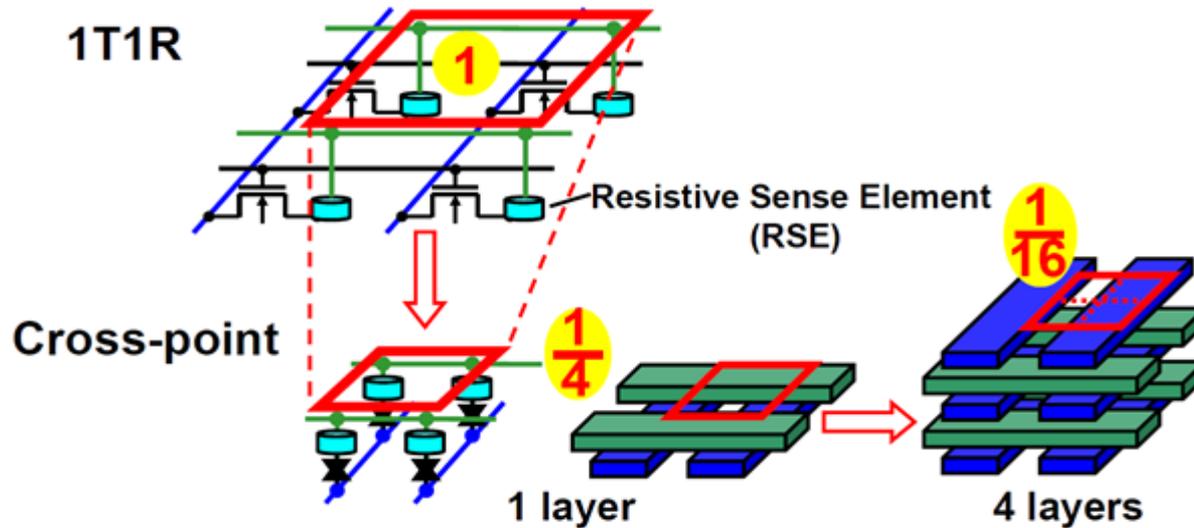


D-H. Kwon et al. Nature
Nanotechnology, 2010



Topologie crosspoint

- 1T1R versus crosspoint



An 8Mb Multi-Layered Cross-Point ReRAM Macro with 443MB/s Write Throughput". Kawahara, A. et (Panasonic). 2012. ISSCC2012. p. 25.6.

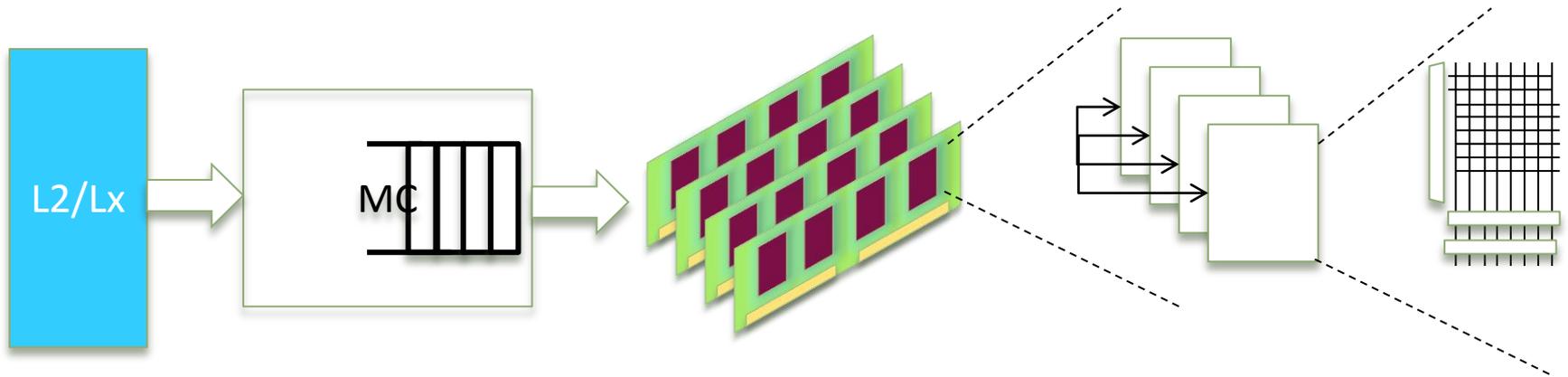
Nouvelles technologies de mémoires : synthèse.

	DRAM	FLASH	MRAM	PRAM	RRAM	
		Nand	STT	PCRAM	OxRAM	CBRAM
CMOS logic compatibility	FE modification	FE modification	BE modification	BE integration	BE integration	BE integration
Scalability	32nm	15nm	20-30nm	10-20 nm	10 nm	10-20 nm
Density	4-6f²	4f²	10x(2f)²	4-6f²	4-6f²	4-6f²
Write voltage	V _{NOM}	>10V	1V	3-5V	1.5-2.5V	1.5-2.5V
Write time	50ns	0.1ms	20ns	100-150ns	10-50ns	20-50ns
Write energy	90fJ/bit		~2.5pJ/bit	20pJ/bit	10-100fJ/bit	10-100fJ/bit
Endurance	1E+16	1E+4-5	1E+12-15	1E+9	1E+6-10	1E+5-6
Maturity	++	++	-	-	--	--
Pro's	Endurance	Density	BE integration Speed Endurance	BE integration Density	BE integration Density Comp w/ logic Consumption	BE integration Density Comp w/ logic Consumption
Con's	Scalability Volatility	Endurance Speed Write voltage	Technology node gap	Dynamc pow.	Forming step Variability	Endurance Speed Variability

État de l'art focalisé sur l'usage des RRAMs & MRAMs

- Cache L2/L3
 - En MRAM (3D, Penn U. 2008), En PCM (Penn.U. 2010)
 - Hybride SRAM/MRAM (Penn.U +IBM, 2009) , SRAM/PCRAM (CMU 2012), etc.
- Mémoire principale
 - Surtout hybride SRAM+MRAM (U.Texas+IBM 2002!) , DRAM+PCM (2009 IBM)
- Mémoires non volatiles pour créer
 - des systèmes de stockages + efficaces,
 - Des systèmes + fiables (confinement / recouvrement des erreurs)
- ❖ ***Tous ces travaux sont validés par simulation***
- Coté réalisation:
 - des mémoires indépendantes PCM (ISCC 2012),
 - des macros CBRAM/OxRAM en test chips (ISSCC 2012) mais 32Gb RRAM à l'ISSCC2013...

Revoir l'architecture 1/3

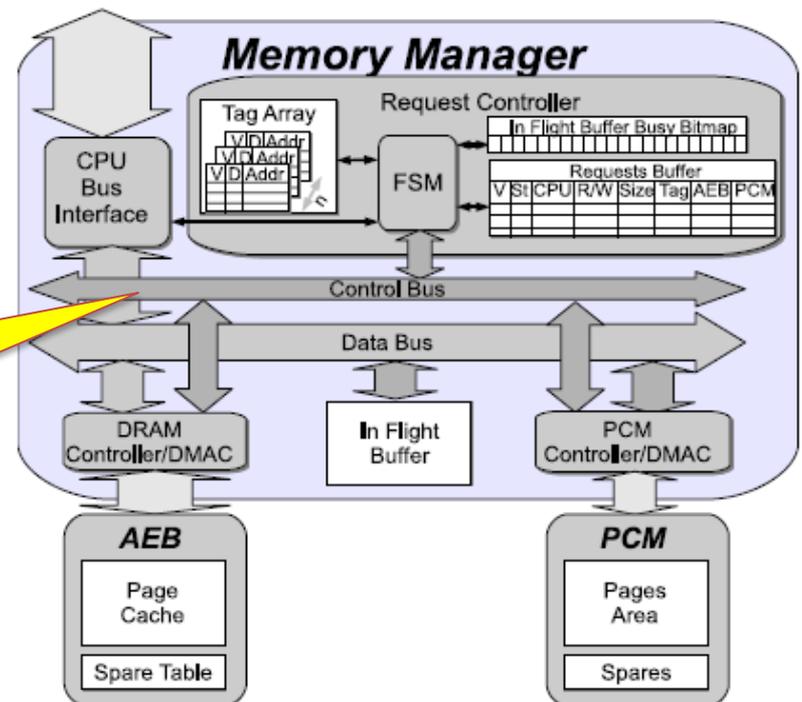


- Revoir les paramètres « classiques » du dimensionnement
 - Structure & taille des caches
 - Nombre de canaux / contrôleur
 - Regroupement des écritures,
 - Nombre, largeur de bancs

Repenser l'architecture 2/3

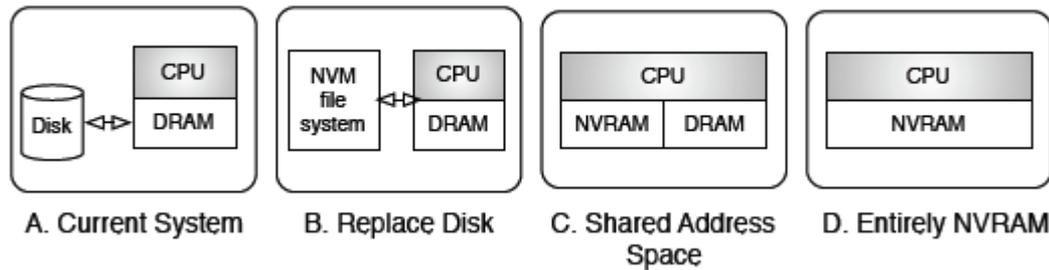
- repenser le contrôleur avec une logique « in memory »
 - Nbre de contrôleurs (dans un manycore)
 - Organisation des buffers (moins large) => **associativité**
 - **Gestion des écritures**: Accès partiels lignes de caches, écritures partielles
 - Accès « stridés » (cache L1 à revoir)

Exemple d'architecture hybride, protocole en « split transactions »



Repenser l'architecture 3/3

- Accès vers le stockage de masse sur le bus mémoire
 - Simplifier le FS en utilisant l'accès direct directement sur le bus mémoire
 - Éliminer le buffer cache en DRAM
 - Tout en gardant les bonnes propriétés d'atomicité et d'ordre !!
- À différencier des mécanismes d'accélération de la recherche indexée
- est-ce crédible ? Impact software à investiguer



Techniques de gestion du vieillissement

■ 4 clefs

1. Réduction du nombre d'écritures

- Écriture uniquement des bits qui changent
- Regroupement des écritures par write-buffer et/ou cache en amont

2. Répartition plus uniforme de l'usure (Wear-leveling)

- « row-shifting »
- « Segment swapping »

3. Redondance

- ECC (cf LFSE sur MRAM) : moins efficace pour le vieillissement des PCM et ReRAM ?
- Bit redondant par mot
- Pages pour les spare byte

4. Sécurité

- Protection de la mémoire contre attaque systématique
- « Segment-swapping » utilisant une clé générée aléatoirement

Impact sur l'OS

- **Pagination, granularité des pages**
 - La contrainte « physique » disparaît, la taille des pages devient uniquement fonctionnelle (protection, etc.)
- **Mémoire virtuelle, Espace d'@ unifiable**
 - Ici également, plus obligatoire
- **Processus de boot**
- **Gestion des erreurs**
 - À revoir complètement
- **File system**

Verrous technologiques

- Gestion de l'endurance « Wear leveling »
 - Sujet chaud, couvert surtout pour les PRAM
- Gestion de la variabilité
 - Processus de « forming » de la OxRAM/CBRAM
 - Variabilité forte Ron/Roff
 - + complexe que sur le process CMOS. Calibration au « preconditionning » Sujet vierge
- Refonte des OS
 - Sujet à ne pas négliger

En résumé

- Chaud: valoriser les nouvelles technologies mémoire
 1. Intégrable tout de suite comme nvram dans les objets communicants
 2. Gestion du vieillissement à traiter sérieusement
 3. Utilisation possible « immédiate » pour la performance & le calcul
 4. Prometteur , à approfondir: adressage par contenu, accès database, stockage de masse

leti

LABORATOIRE D'ÉLECTRONIQUE
ET DE TECHNOLOGIES
DE L'INFORMATION

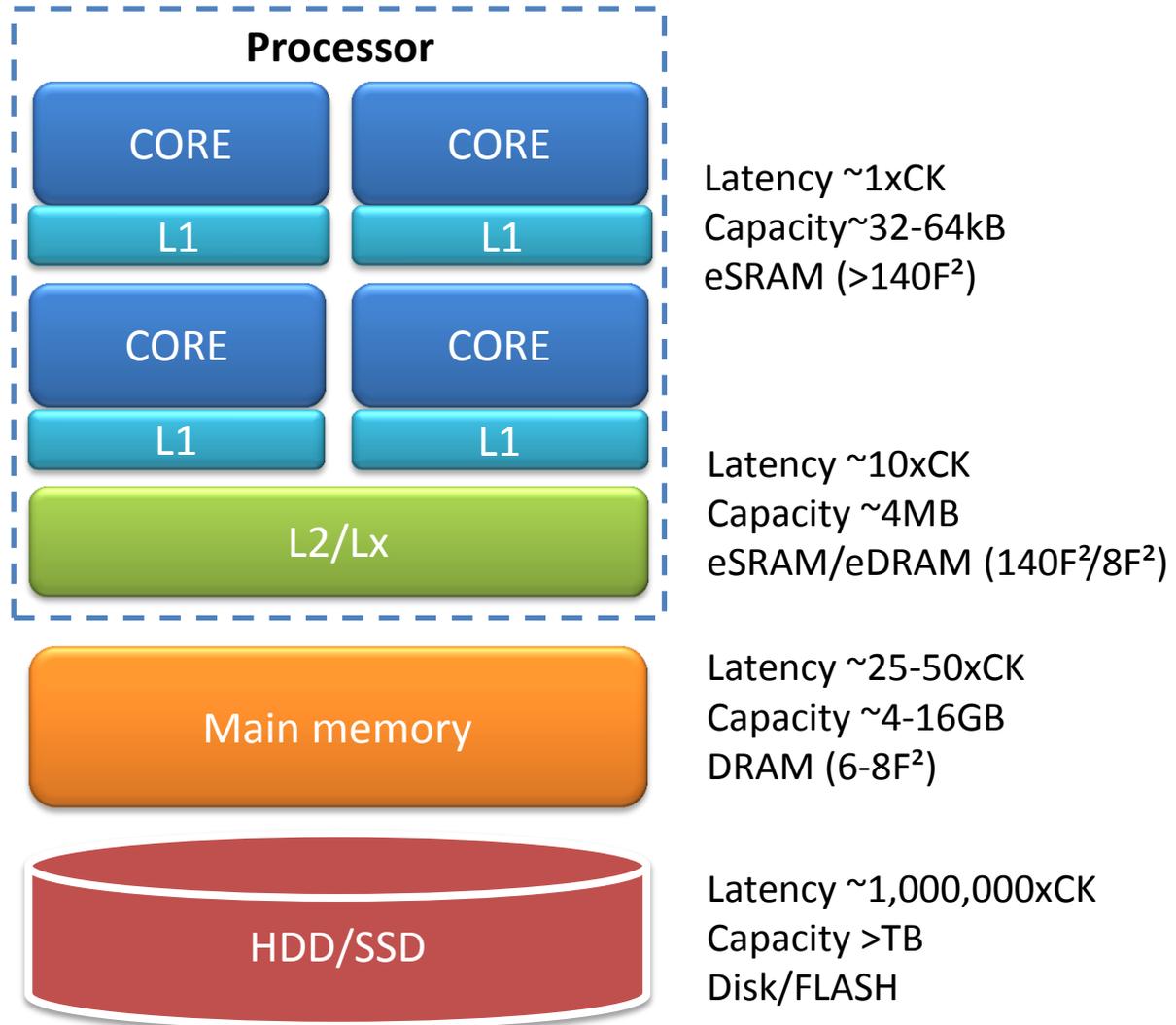
CEA-Leti
MINATEC Campus, 17 rue des Martyrs
38054 GRENOBLE Cedex 9
Tel. +33 4 38 78 36 25

www.leti.fr

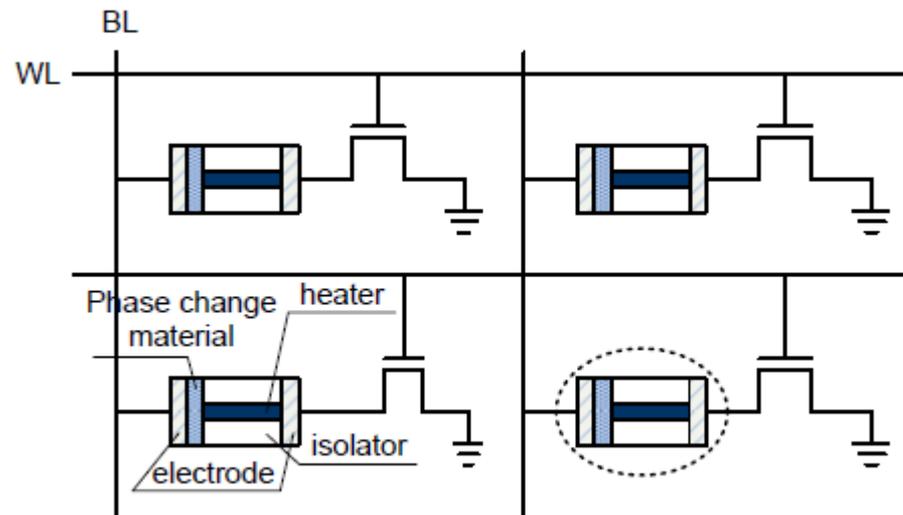


Merci à Olivier Thomas & Michel Harrand pour leur contribution

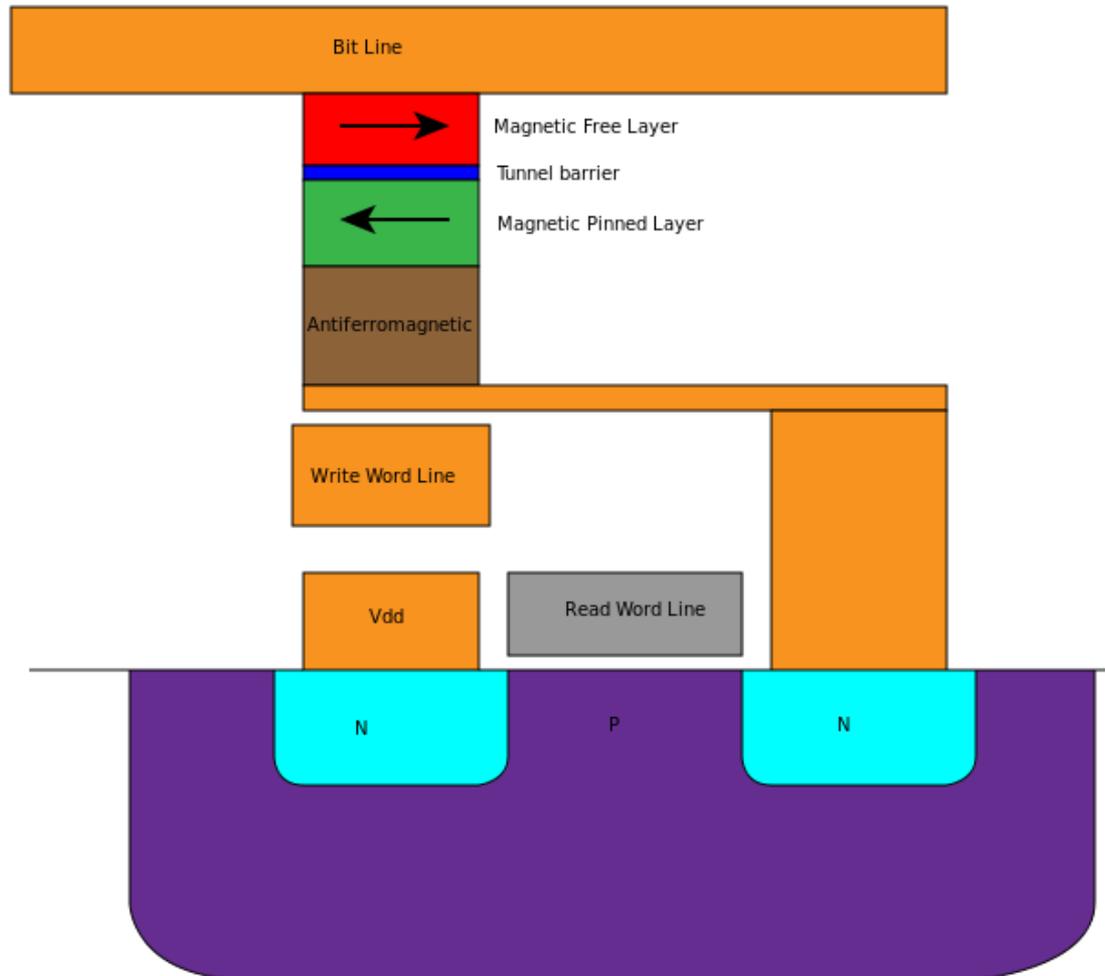




PCM



MRAM

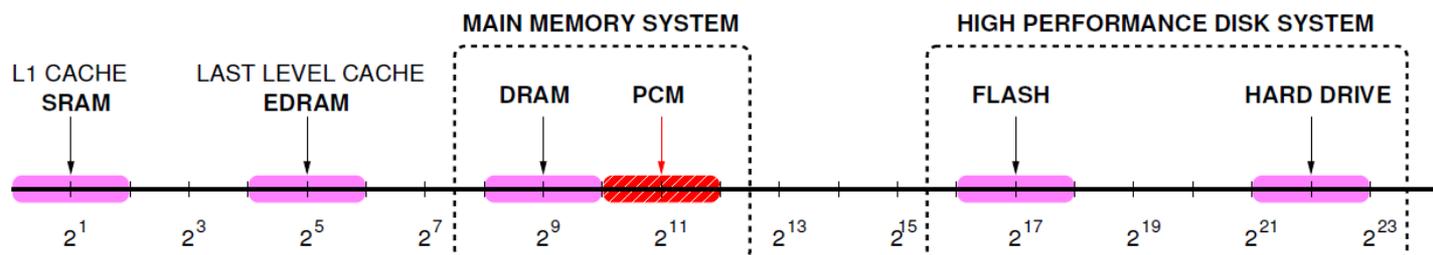




Zoom sur l'endurance

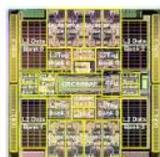
- **Hypothèse:** mémoire de 100ns de temps de cycle acceptant **10^8** cycles d'écriture
- Si la même adresse est écrite au maximum de la vitesse → **durée de vie** de $10^8 \times 100\text{ns} = \mathbf{10s}$!
- Si accès répartis uniformément sur 1M mots de 64b (8MB), et 2 lectures pour 1 écriture → **durée de vie** de $10s \times 1024^2 \times 3 = \mathbf{1an}$
- Avec des techniques design et système
 - Réduction du nombre d'écritures
 - Re-mapping régulier des pages écrites fréquemment
 - Redondance
- → on peut faire durer **10ans** en utilisation mémoire de travail / remplacement DRAM
 - Possibilité de l'extension à un cache Lx à vérifier mais probable

Latences d'accès comparées



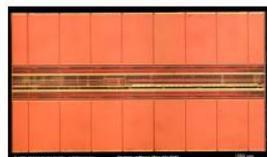
Typical Access Latency (in terms of processor cycles for a 4 GHz processor)

- **“Scalable High Performance Main Memory System Using Phase-Change Memory Technology » M.K. Qureshi & al *ISCA'09*, 2009**



On-chip memory
(SRAM)

Latency: 1~30
(Cycles)



Off-chip memory
(DRAM)

100~300



Solid State Disk
(Flash Memory)

25000~2000000



Secondary
Storage
(HDD)

>5000000

- **“Emerging NVM Memory Technologies » Yuan Xie**
web.engr.oregonstate.edu/~sllu/xie.pdf

