

Hardware Resource Control in L4 μ -kernels

GOICHON François, SALAGNAC Guillaume, FRENOT Stéphane
CITI / INRIA, INSA Lyon

- ➔ Direct drivers interactions can be abused to monopolize hardware time
 - Requests flooding
 - Driver rescheduling abuse
 - Firmware rescheduling abuse

- ➔ Microkernels isolation allows to insert a transparent resource control layer

Conception en vue du test des CANs de type pipeline

Asma Laraba TIMA, Grenoble

Les CANs de type pipeline sont de plus en plus utilisés dans des systèmes de type SoC

En production, les CANs sont testés en fonctionnement statique et en fonctionnement dynamique

Le temps de test statique augmente exponentiellement et devient excessif par rapport à la surface de silicium testé ou au temps de test des autres blocs => Besoin de trouver des techniques de test alternatives

Ce travail de recherche est basé sur l'exploitation des particularités de l'architecture pipeline

3D Network on Chip on 3D chip

Mohamad Jabbar GIPSA Lab, Grenoble

What?

There is a need to study the performance of 3D NoC architecture in real 3D chip rather than in simulation

We design and implement a 3D multiprocessor with 3D NoC architecture using Tezzaron 3D technology in two tiers

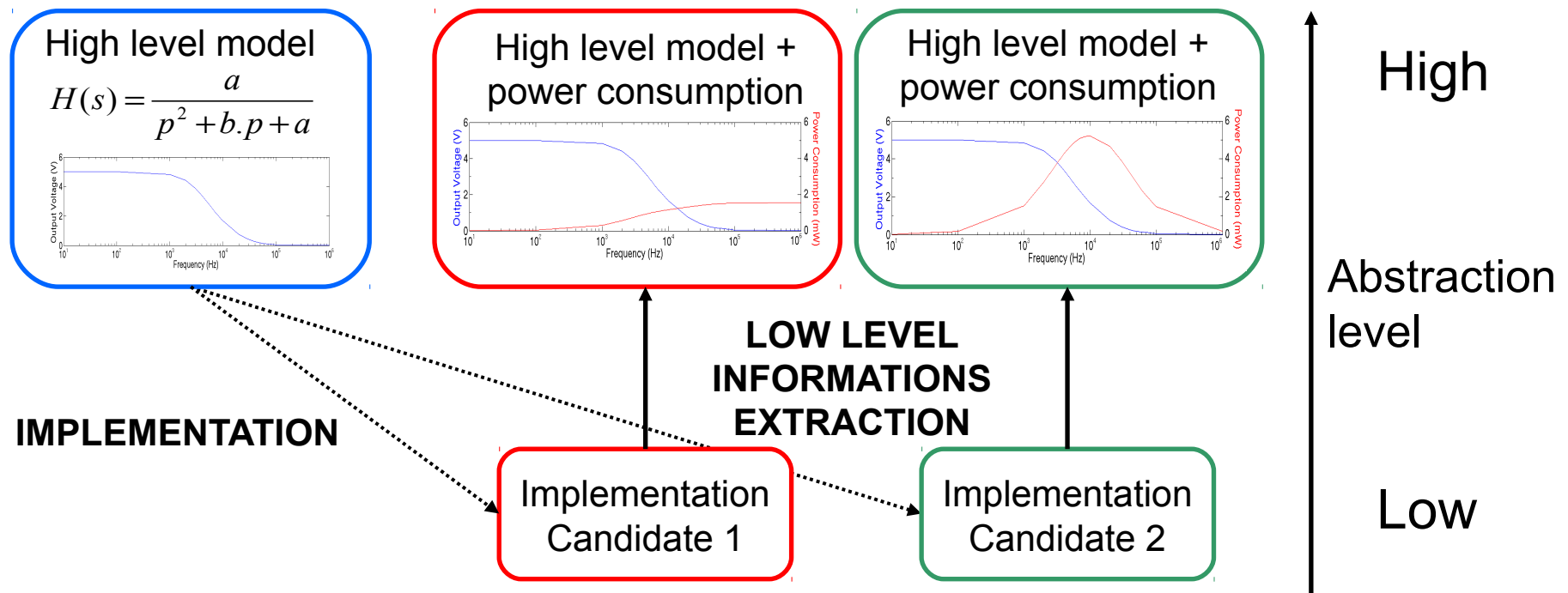
Why?

We want to measure NoC performance in 3D architecture such as latency and scalability

We want to investigate performance parallel applications running on 3D NoC architecture in real chip such as speed up, execution times or cycles

High-level Modeling of Linear Analog Blocks with Power Consumption Information

Une fonction de transfert donne le comportement d'un bloc mais pas sa consommation.



La consommation dépend du modèle de bas niveau.