

Journées scientifiques SEmba 2011

**« Évaluation de la qualité des systèmes
embarqués »**

20 Octobre 2011, Valence

Chouki AKTOUF

Président & Fondateur

DeFacTo Technologies

DeFacTo Technologies

- Origine : Recherche & Développement à l'INP Grenoble – ESISAR - LCIS
- Création en 2003
- Financement du capital risque depuis novembre 2004
- R&D à Grenoble; opérations USA (Silicon Valley) & Asie

Systeme Embarque

Systeme autonome structure autour de "composants" pour realiser une ou plusieurs fonctions logicielles ou materielles



Systeme Sur Puce - SoC

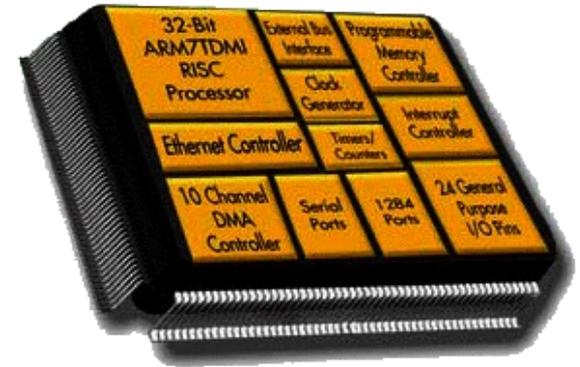
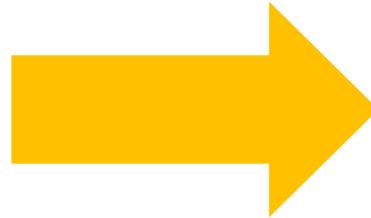
Systeme embarqué sur puce incluant: processeurs, mémoire, E/S, logiciels



Du Système Electronique au Système sur Puce

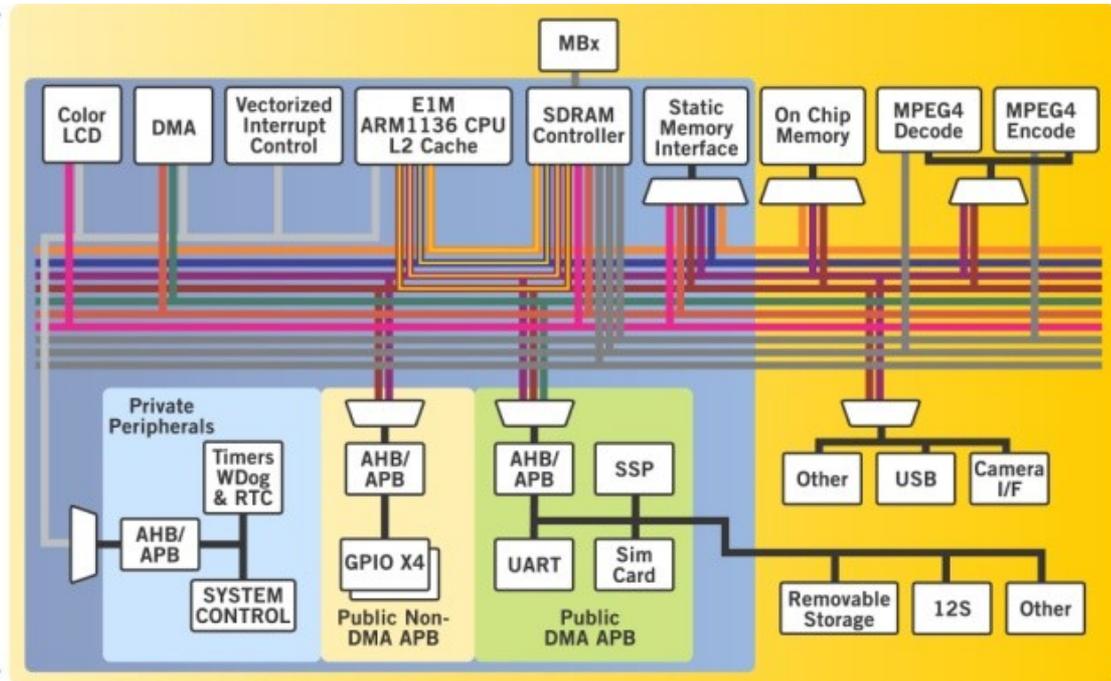
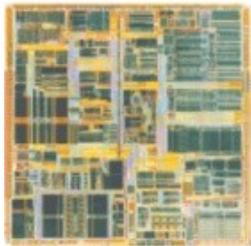


Systeme
Electronique



System-On-Chip

Du Système Electronique au Système sur Puce



Technologies des Semiconducteurs

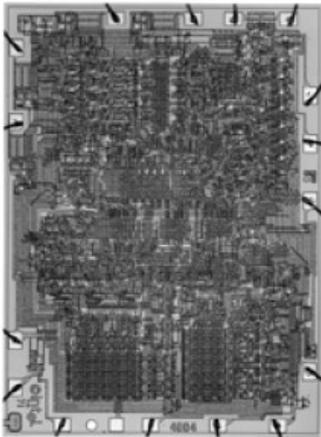
Year	1997	1999	2002	2005	2008	2011	2014
Technology node (<i>nm</i>)	250	180	130	100	70	50	35
On-chip local clock (<i>GHz</i>)	0.75	1.25	2.1	3.5	6.0	10	16.9
Microprocessor chip size (<i>mm</i> ²)	300	340	430	520	620	750	901
Microprocessor transistors/chip	11M	21M	76M	200M	520M	1.40B	3.62B
Microprocessor cost/transistor ($\times 10^{-8}$ USD)	3000	1735	580	255	110	49	22
DRAM bits per chip	256M	1G	4G	16G	64G	256G	1T
Wiring level	6	6-7	7	7-8	8-9	9	10
Supply voltage (<i>V</i>)	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.37-0.42
Power (<i>W</i>)	70	90	130	160	170	175	183

Source IRTS 2001

Technologies des Semiconducteurs

Microprocesseur d'Intel 4004

- 1971: Premier microprocesseur
- 10 μm
- 2300 composants
- 64 KHz

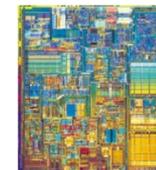


Source Intel

Loi de Moore :
La complexité
double tous
les 18 mois

Microprocesseur d'Intel Pentium IV

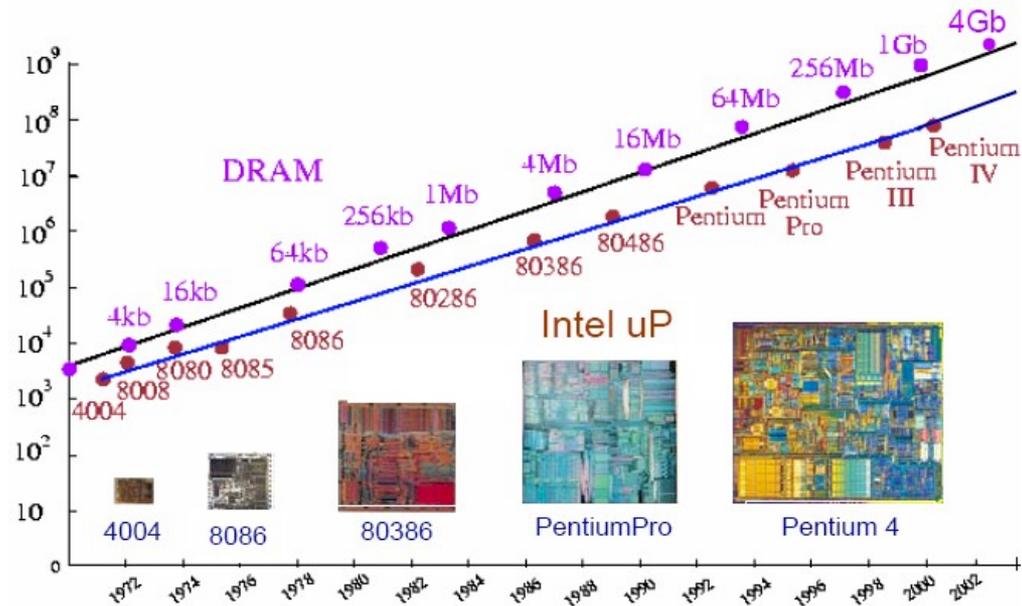
- 2001
- 0,18 μm
- 42 Millions de composants
- 2 GHz
- 2km d'interconnexions



Source Intel

Technologies des Semiconducteurs

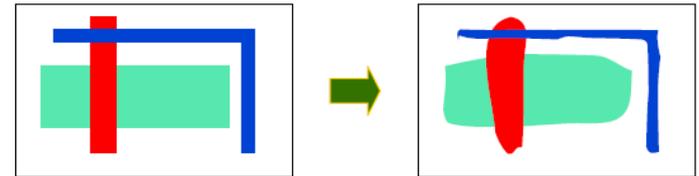
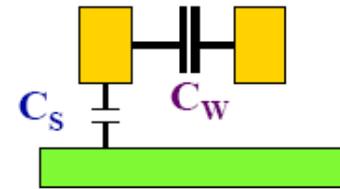
- Complexité des circuits double tous les 18 mois : 16000 fois en 20 ans
- Performances :
 - Croissance exponentielle
 - Doubtent tous les 3 ans



Source Intel

Conception des SoC & Challenges

- Densité de dissipation de puissance augmente exponentiellement: x2 tous les 4 ans!
- Interconnexions dominent les performances des circuits
- Processus de lithographie atteint des limites



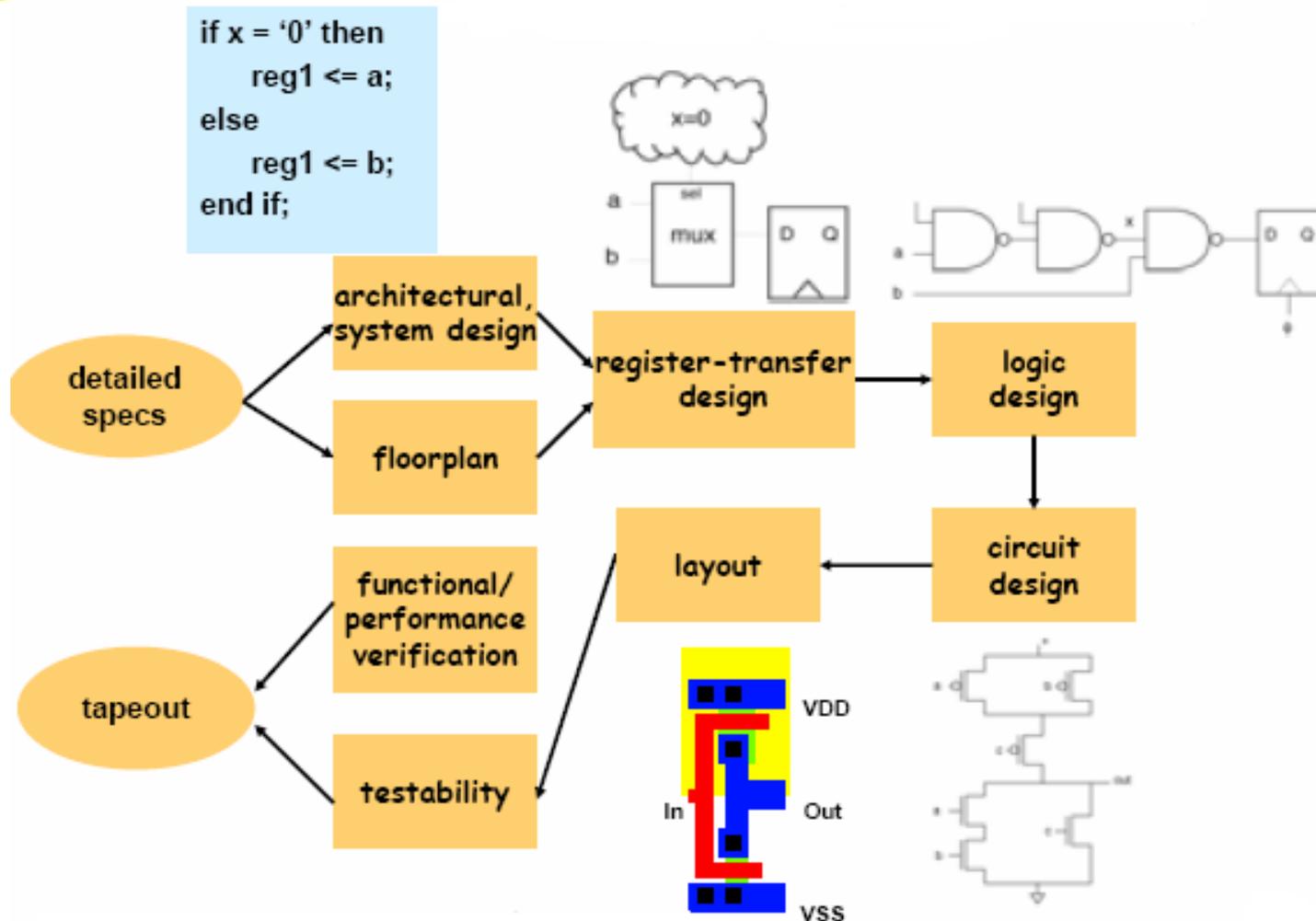
Technologies des Semiconducteurs

- Evolution technologique
 - Nouveaux phénomènes physiques
 - Rendement et fiabilité
- Considérations conflictuelles
 - Time-to-Market, Time-to-Volume, Cycle de conception, etc.

Conception des SoC & Challenges

- Gestion de la dissipation de puissance
- DFM & DFY
- Méthodologies de conception et de réutilisation
- Nouveaux besoins dans l'abstraction
- Interactions Hard-Soft
- Développement de nouvelles méthodologies de vérification
- Développement de nouvelles méthodologies de test
- Etc.

EDA & Flot de Conception



Flot de conception – Du rêve à la réalité

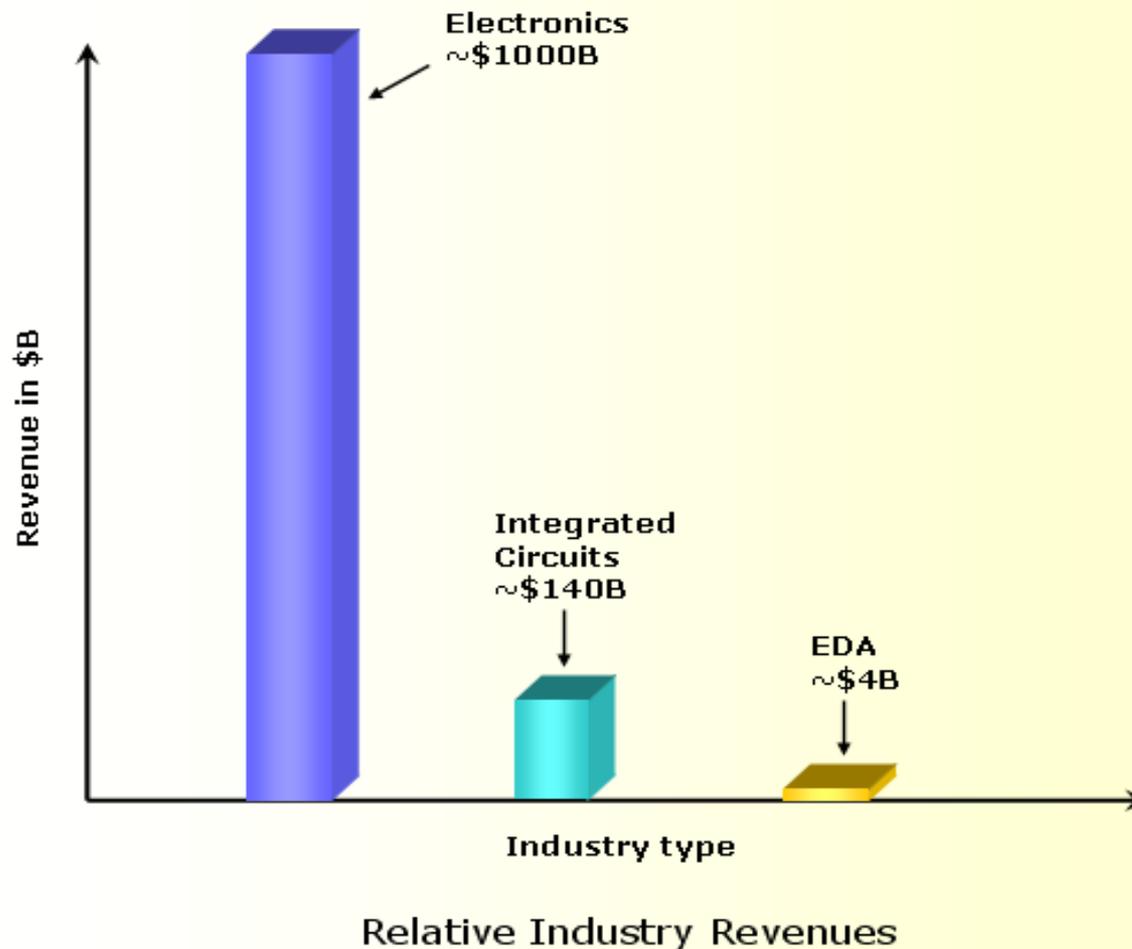
Rêve

- Solution presse-bouton
- Flot de conception automatisé : d'une description de haut niveau à l'implémentation physique
- Optimisation automatisée : Fréquence, dissipation d'énergie, taille, TTM, TTV, etc.

Réalité

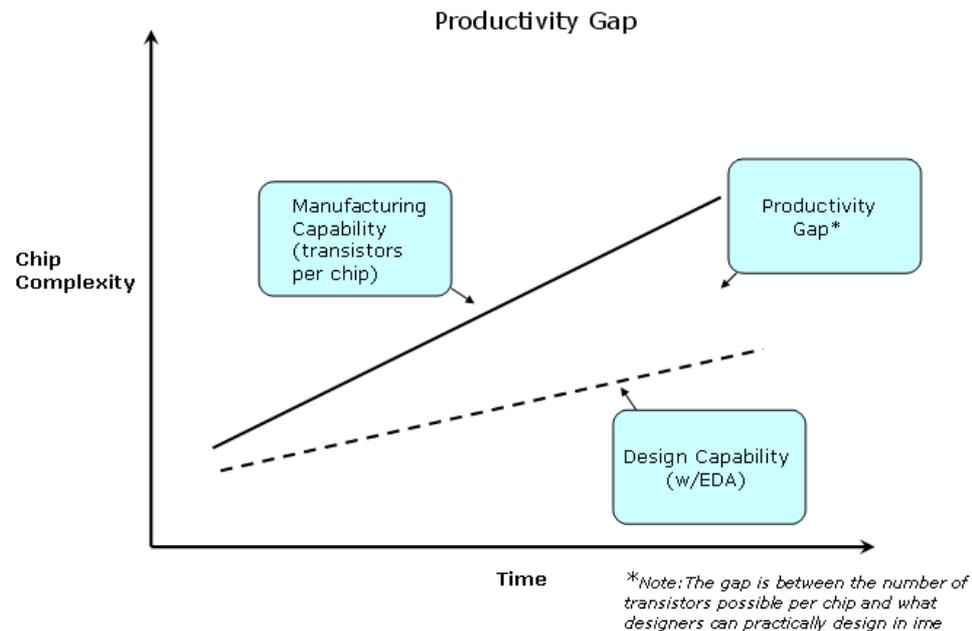
- Automatisation tardive et incomplète: synthèse logique, vérification, optimisation au niveau layout, etc.
- Une grande partie de l'optimisation est effectuée par les ingénieurs

EDA : là où l'électronique commence

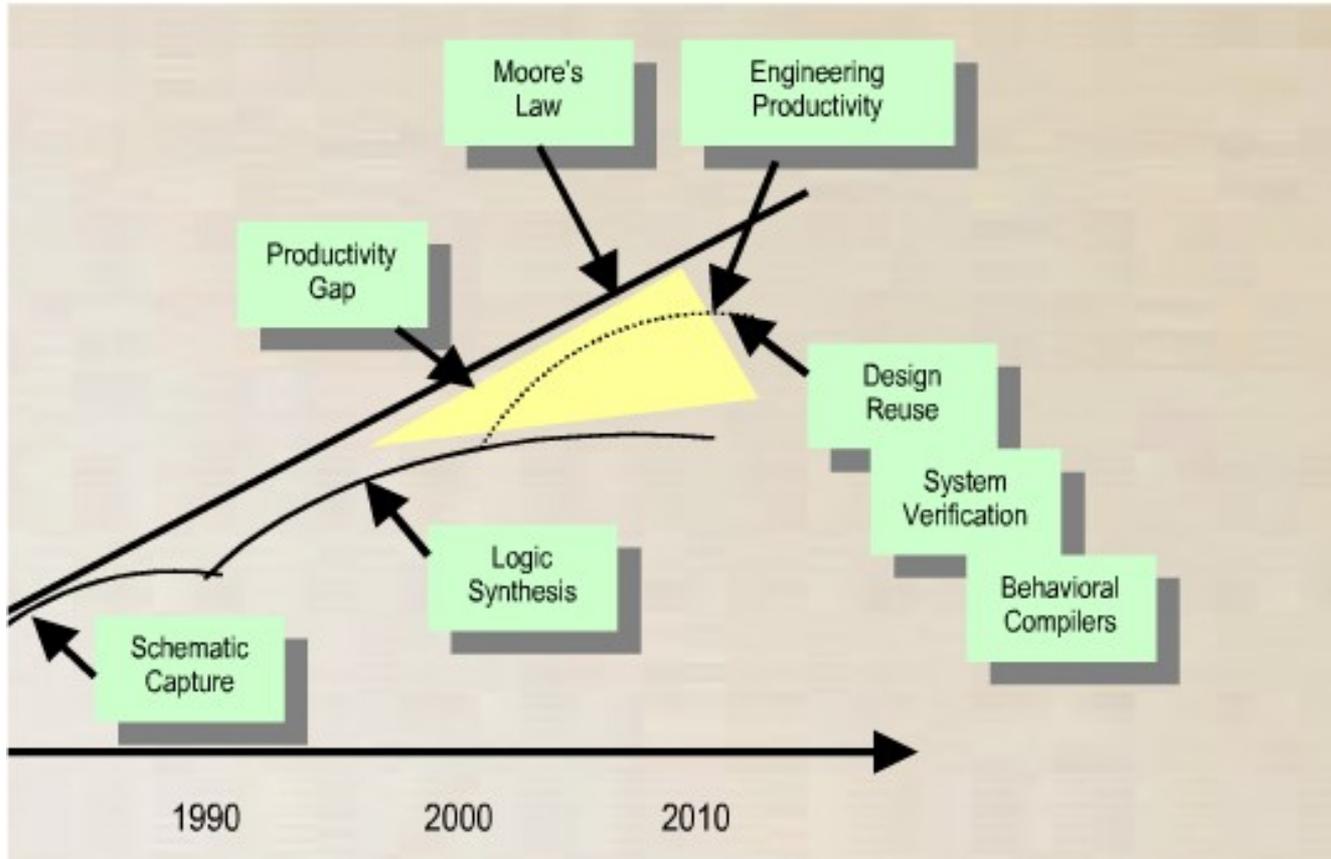


Acteurs & Marché de l'EDA

- Trois acteurs traditionnels & plus de 200 "startups"!!
- Taux de croissance moyen de 10%
- Marché annuel de 4 à 5 Mds de \$

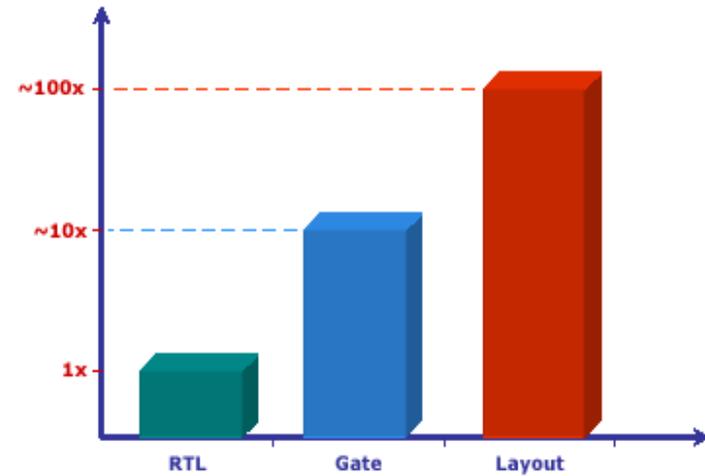
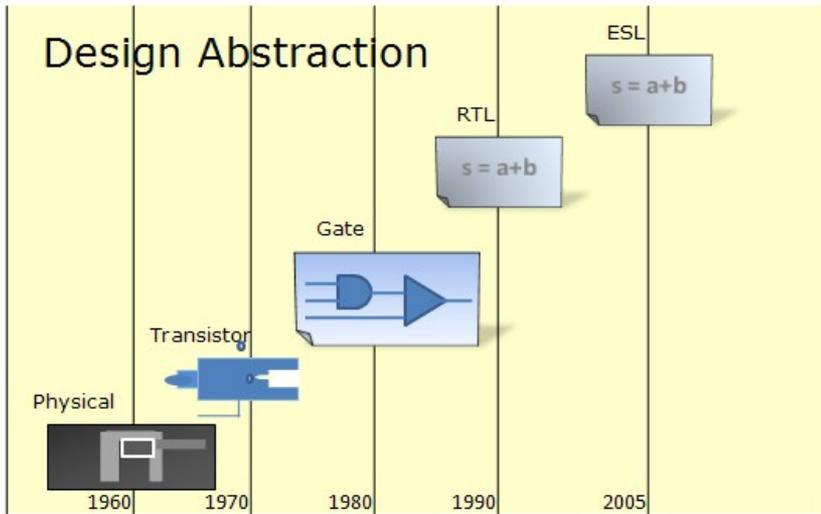


EDA: Gap de productivité

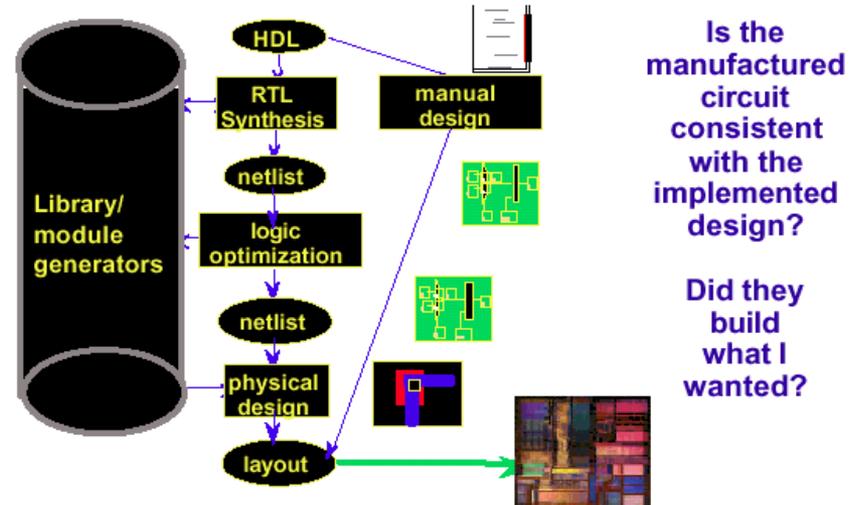
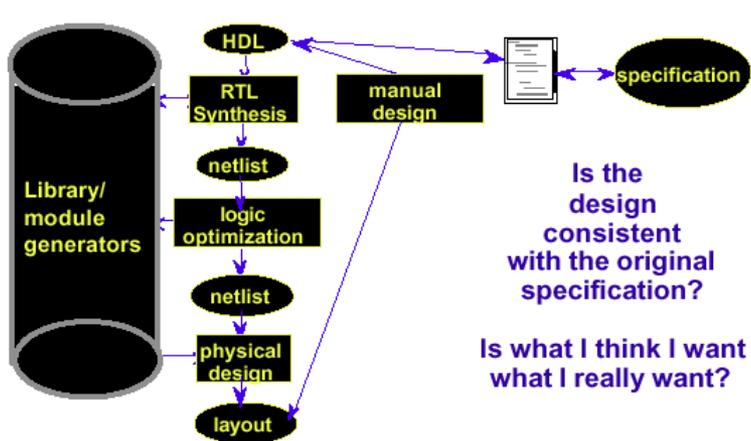


Source Pierre Boulet

EDA & Niveau d'Abstraction

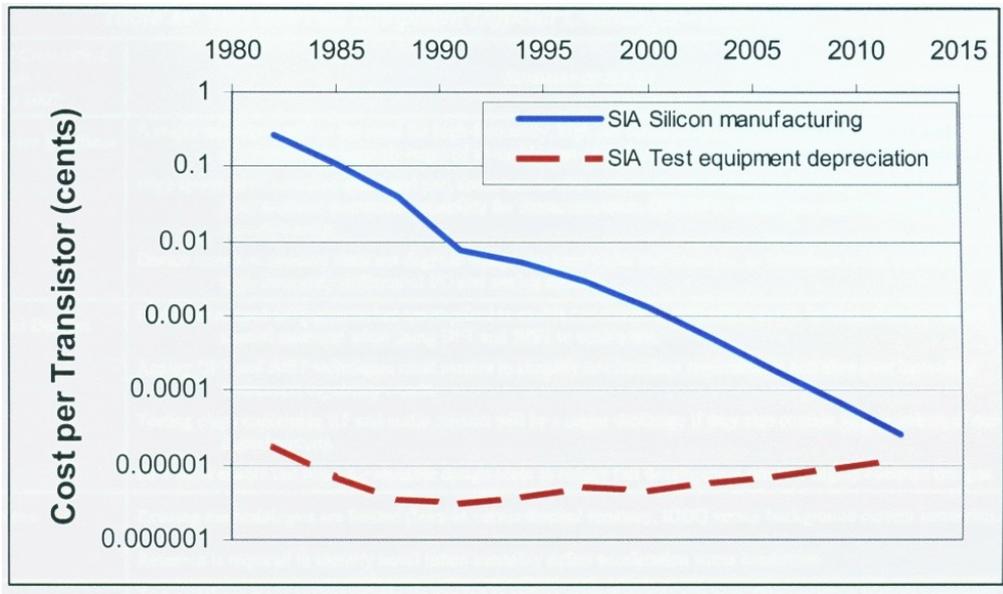


Vérification vs. Test

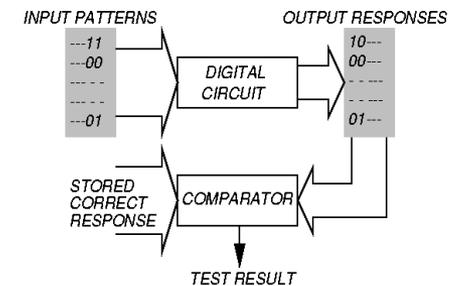


Exemple typique de challenge: Design-For-Test

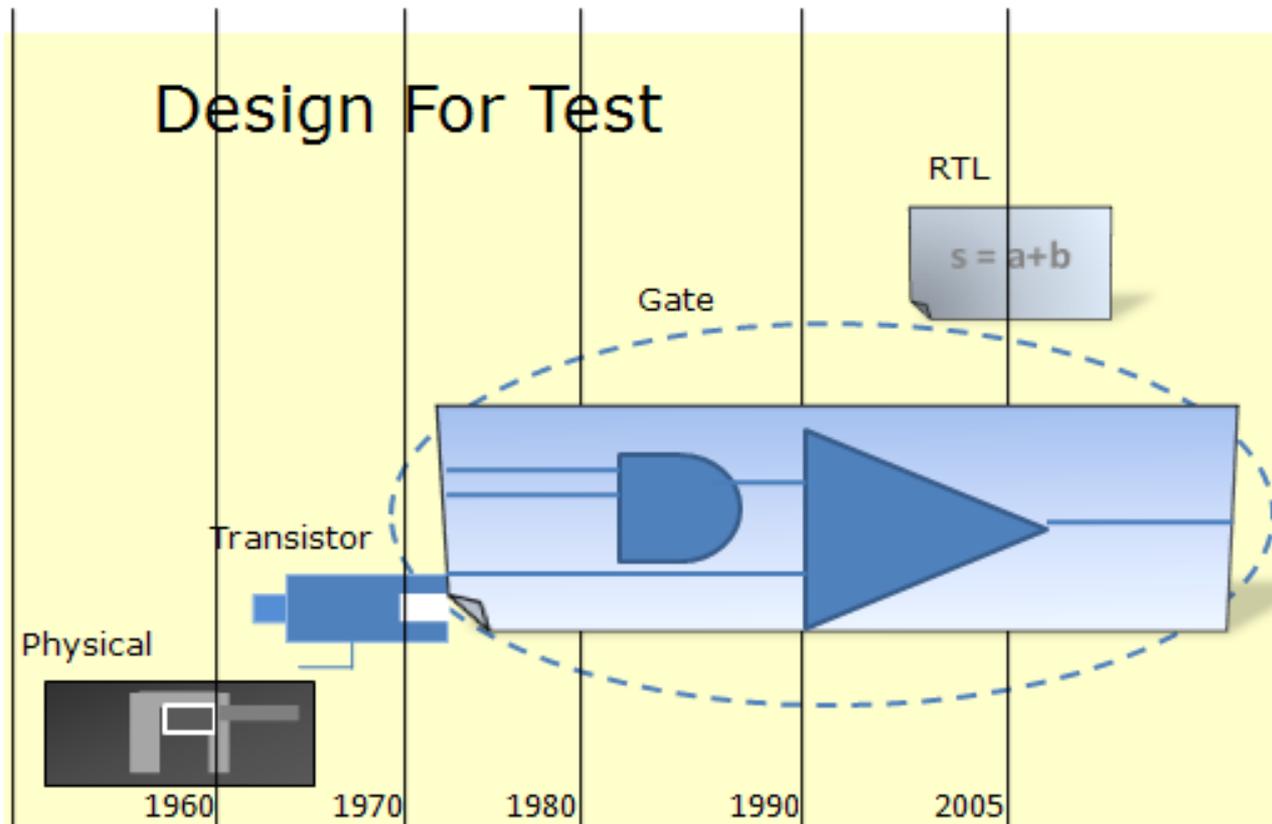
- Coût du test d'un transistor approche celui de sa fabrication



source: ITRS Roadmap

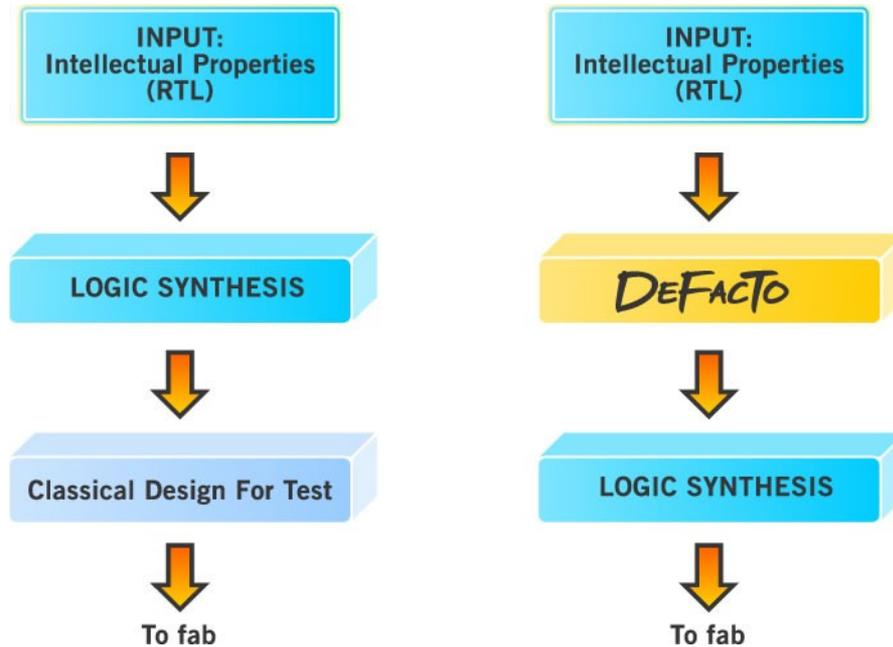


EDA & Niveaux d'Abstraction



Design-For-Test : nouvelles approches

- Approche de DFT au niveau RTL



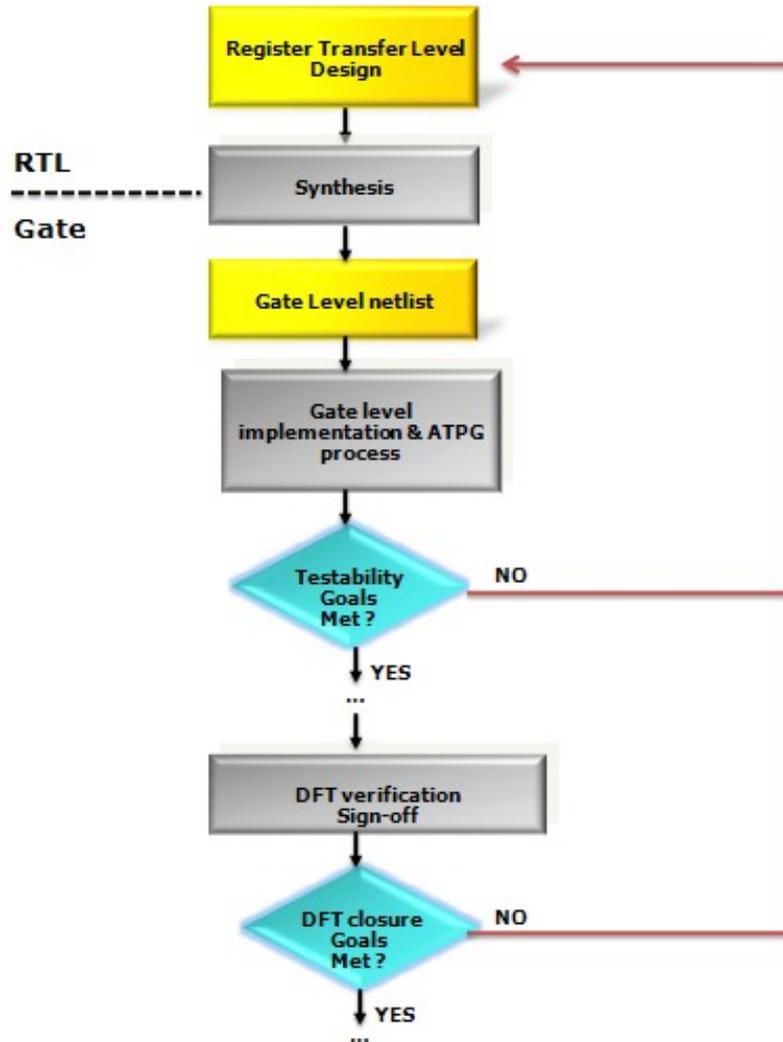
Fiction



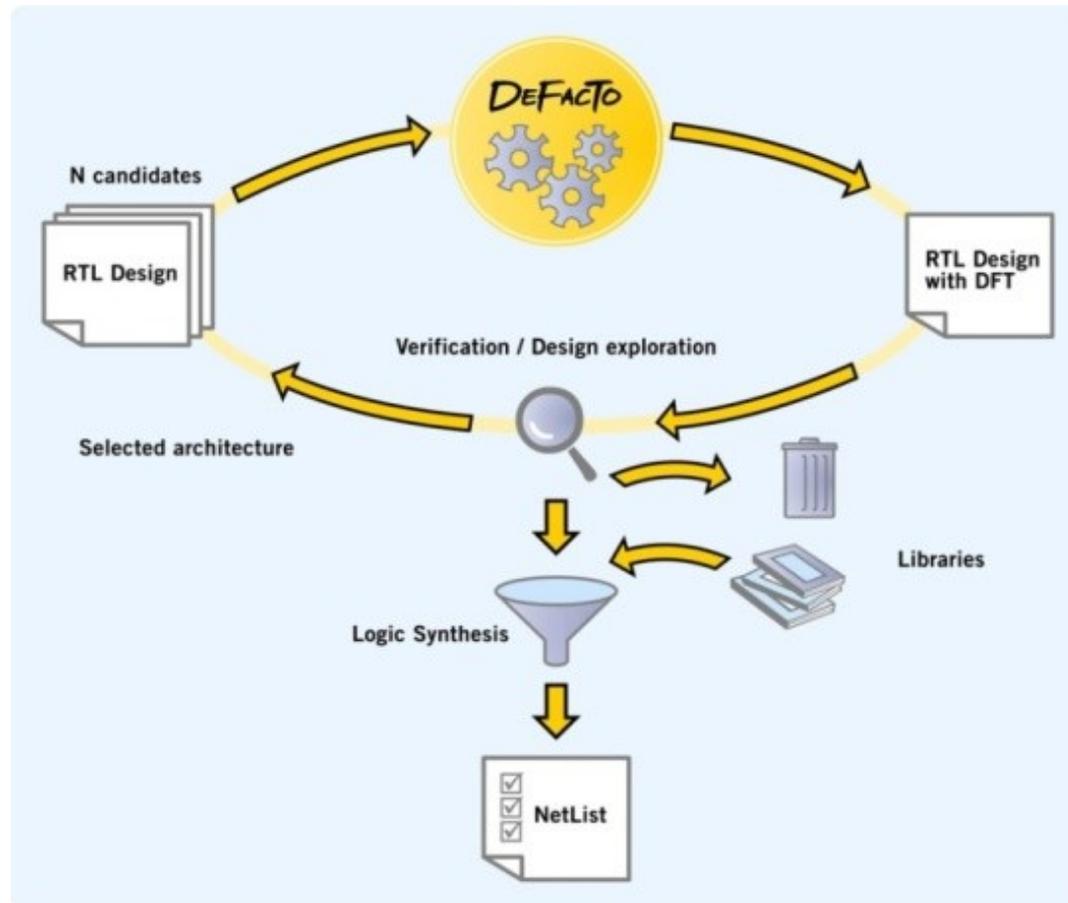
Best Case Scenario



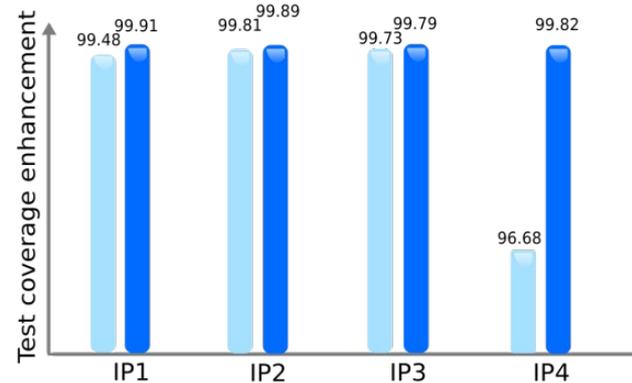
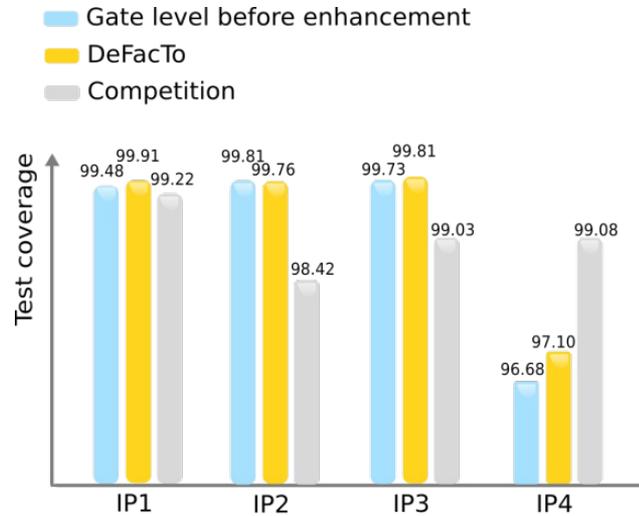
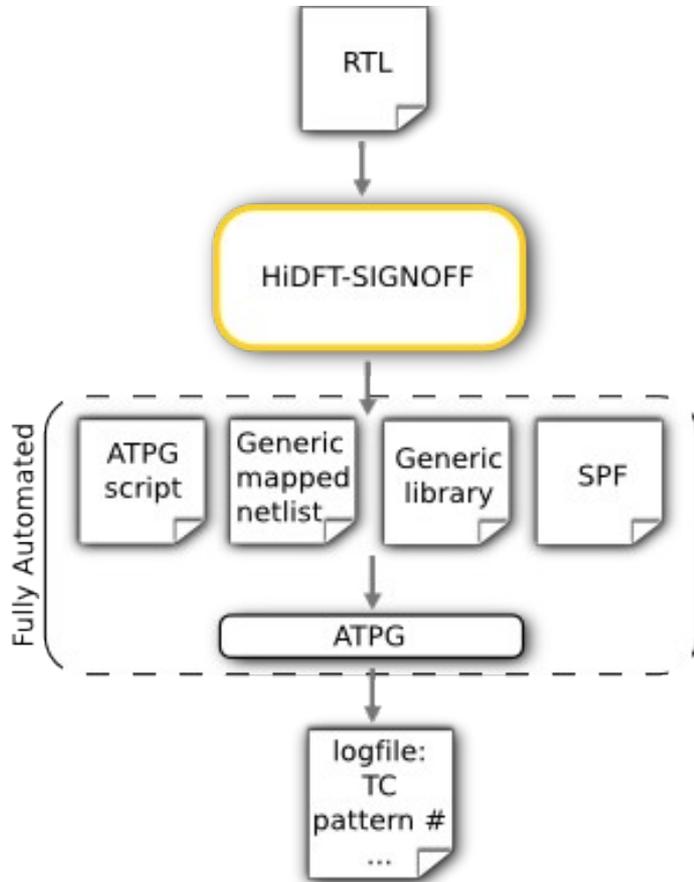
Design-For-Test



Design-For-Test au Niveau RTL



Design-For-Test

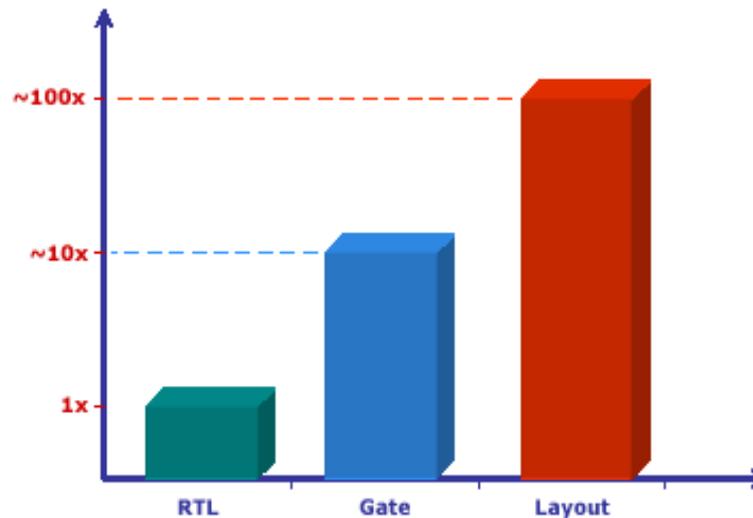


■ Gate level before enhancement
■ Gate level after enhancement

DeFacTo & RTL DFT

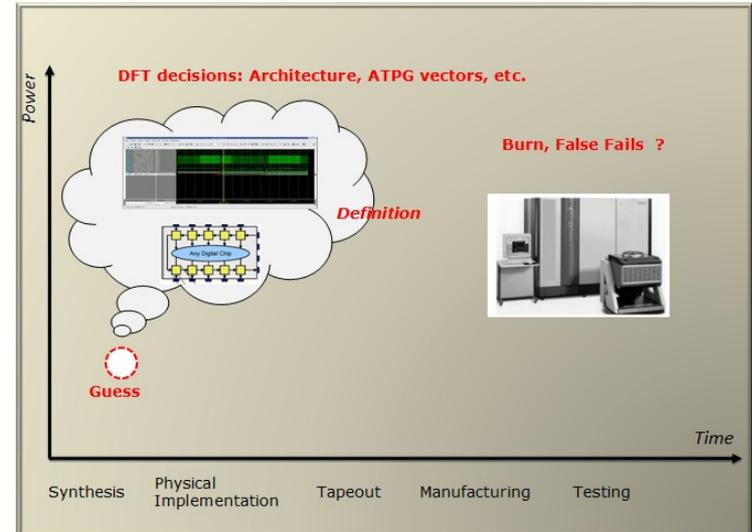
Confirmer la « règle du pouce » EDA :

- Amélioration de testabilité
- Implémentation de la DFT : Scan, BIST, JTAG, IEEE 1500, etc.
- Simulation des vecteurs ATPG
- Analyse du « power » en modes de test

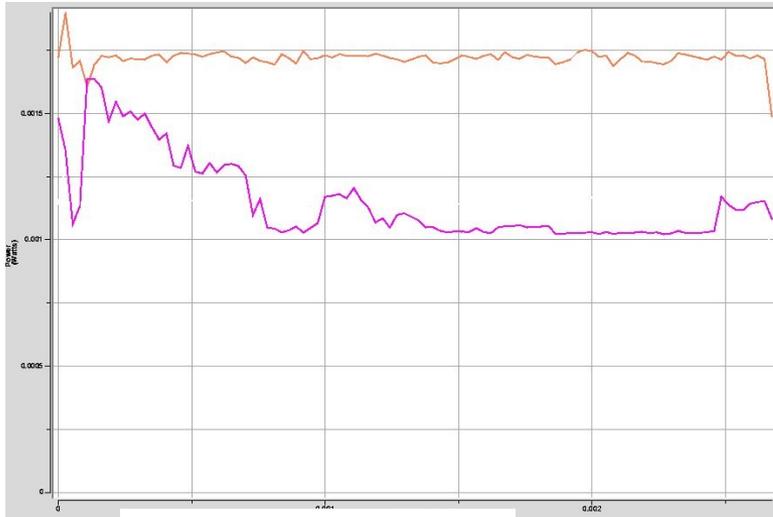


Dissipation de Puissance En Phase de Test

- Deux considérations majeures
 - Considérer la logique de test pour budgeter la dissipation de puissance
 - Prendre en compte la dissipation de puissance pendant la phase du test après fabrication
- Pratique:
 - Générer des vecteurs de test en prenant en compte la dissipation de puissance
 - Adapter les techniques de "low-power"

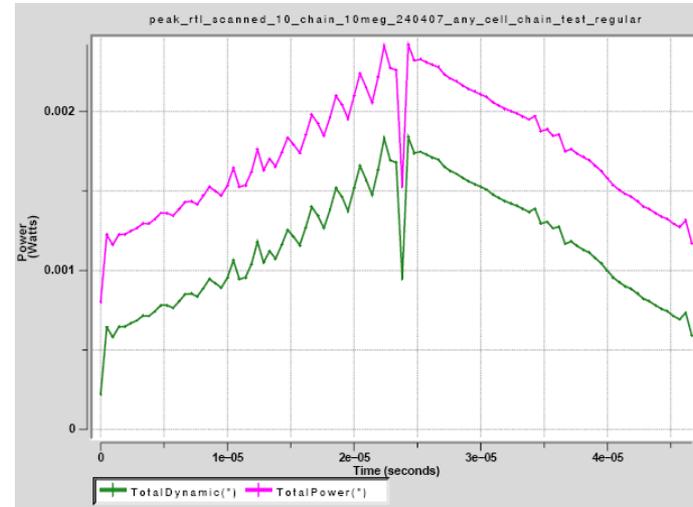


Dissipation de Puissance En Phase de Test – Qualification des Jeux de Test ATPG

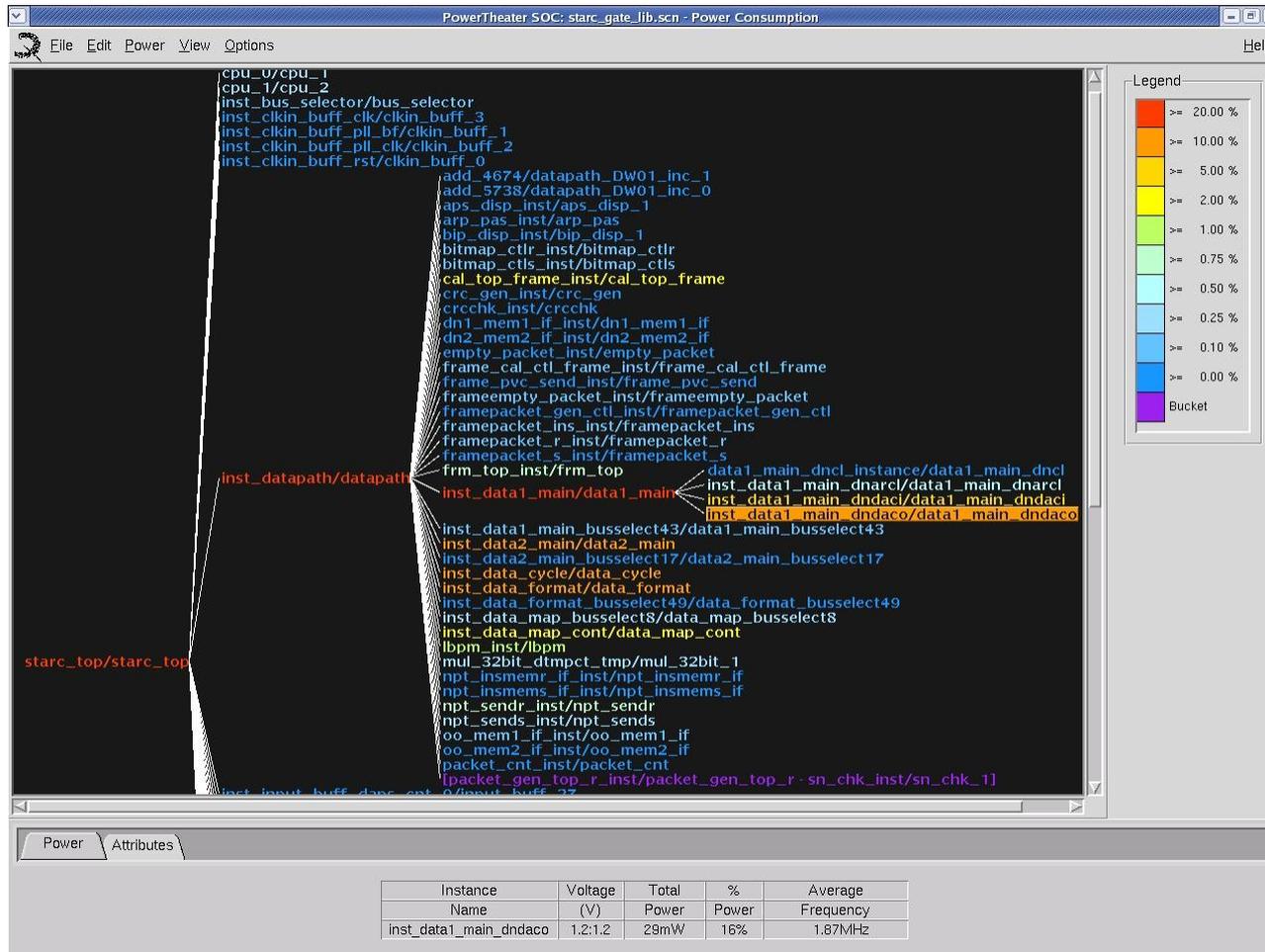


Power unaware

Power aware

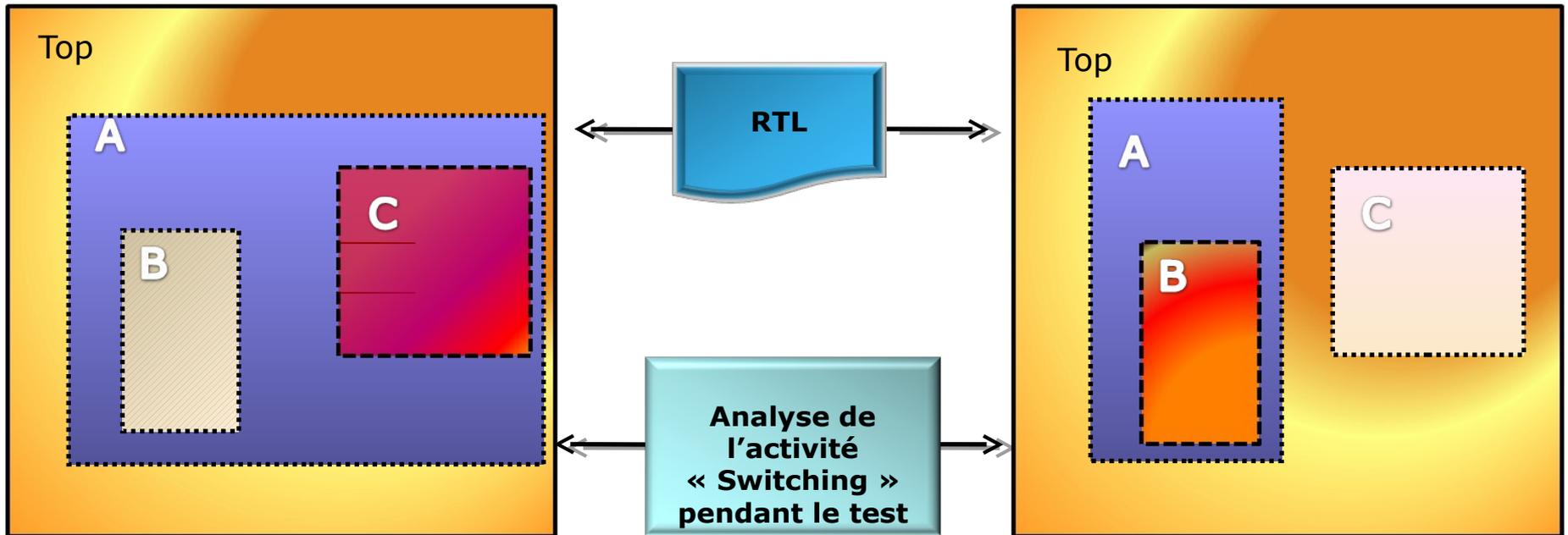


Dissipation de Puissance En Phase de Test- Blocs Consommateurs



Dissipation de Puissance En Phase de Test- Exploration Architecturale

Partitionnement du scan



Conclusion

- EDA : opportunités importantes dans l'innovation
- Plusieurs défis importants à relever
- Collaboration entre Laboratoires de Recherche et Entreprise
- Potentiel réel en France / Rhône-Alpes

Conclusion

- Sans formation en génie électrique et en informatique, pas d'EDA :
 - ✓ Compréhension des concepts de génie électrique est nécessaire
 - ✓ Développement informatique approprié
- Sans EDA pas de circuits intégrés
- Sans circuits intégrés, pas d'industrie de l'électronique et de systèmes embarqués

MERCI !

