



**A D A C S Y S**

Advanced Acceleration Systems

**RAVA : solution d'accélération à distance de la vérification  
fonctionnelle des blocs d'IP et des designs pour FPGA**

Journées scientifiques SEmba 2010

Escadrille, Autrans,

18 et 19 octobre 2010

1. **Présentation d'ADACSYS**
2. Problématique
3. (R)AVA : principe de fonctionnement
4. Fonctionnalités supplémentaires
5. Démonstration
6. Cas d'utilisation
7. Conclusion
8. Perspectives

- Identité

- Jeune Entreprise Innovante créée en 2008
- 4 associés dont 3 issus du monde de l'EDA (*Emulation Division Mentor Graphics*), 5 salariés (3 PhD, 2 ingénieurs)
- Lauréat National du Ministère de la Recherche et du Développement en 2006 et 2008



- Activité

- Conception, développement et commercialisation de solutions d'accélération de calcul

- Cœur de métier

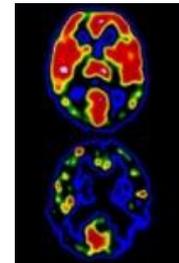
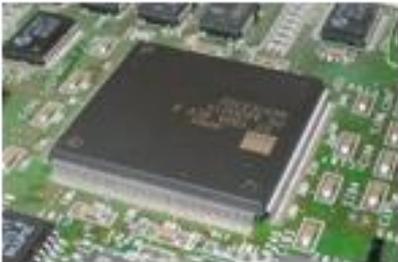
- Architectures matérielles et logicielles basées sur des technologies multi-FPGA

- Mission

- Rendre accessibles des solutions d'accélération de calcul basées sur des circuits FPGA en termes de retour sur investissement et de simplicité d'utilisation

# Évolution des produits

Rendre accessible l'utilisation de solutions d'accélération de calcul basées sur des circuits multi-FPGA en termes de performances et de facilité d'utilisation



Applications  
clef en main (vérification  
d'IP et de FPGA,  
finance)

Service de solutions  
spécifiques  
(finance, 3D, traitement du  
signal)

ToolBox  
briques fonctionnelles  
(finance, 3D,  
bioinformatique)

Kits de développement  
logiciel  
(finance, traitement des  
images)

1. Présentation d'ADACSYS
- 2. Problématique**
3. (R)AVA : principe de fonctionnement
4. Fonctionnalités supplémentaires
5. Démonstration
6. Cas d'utilisation
7. Conclusion
8. Perspectives

# ■ Problématique : Vérification fonctionnelle

Flot de développement HDL pour FPGA ou ASIC :



Vérification  
Fonctionnelle  
Simulateur



Prototypage  
Rapide



Emulation



## ■ Problématique : « *FPGA Proven* »

Faire du « FPGA-Proven » :



Compliqué



Visibilité réduite



Risques élevés de  
génération d'erreur  
par l'environnement  
de test

Mais, ne pas faire de « FPGA-Proven » :



Risques élevés d'erreurs  
concernant  
l'implémentation matérielle

## ■ Comment faire une solution :



Rapide,



Facile  
d'utilisation,



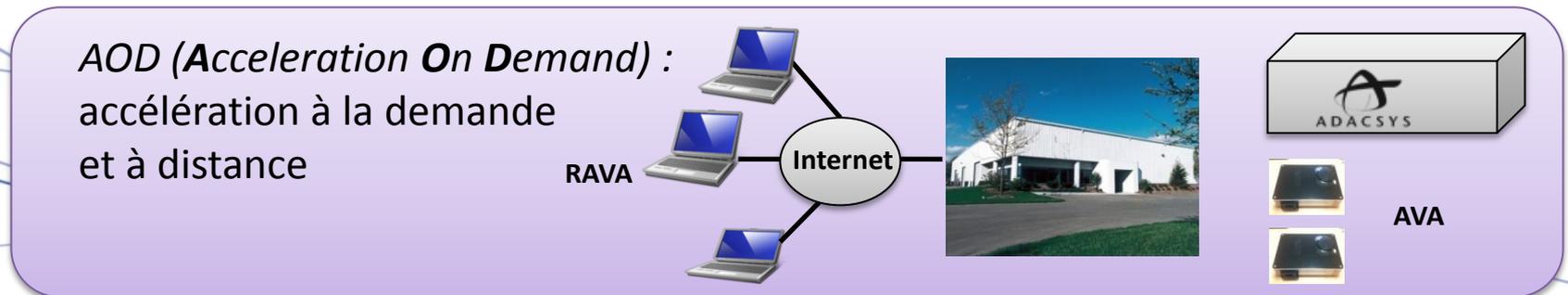
Qui rend accessible :  
la vérification fonctionnelle  
et le « FPGA -Proven »

## ■ Axes de développement

- **AVA** (*Advanced Verification Accelerator*)

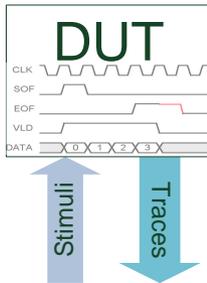


- **RAVA** (*Remote Advanced Verification Accelerator*)



1. Présentation d'ADACSYS
2. Problématique
- 3. (R)AVA : principe de fonctionnement**
4. Fonctionnalités supplémentaires
5. Démonstration
6. Cas d'utilisation
7. Conclusion
8. Perspectives

# Principe fonctionnel

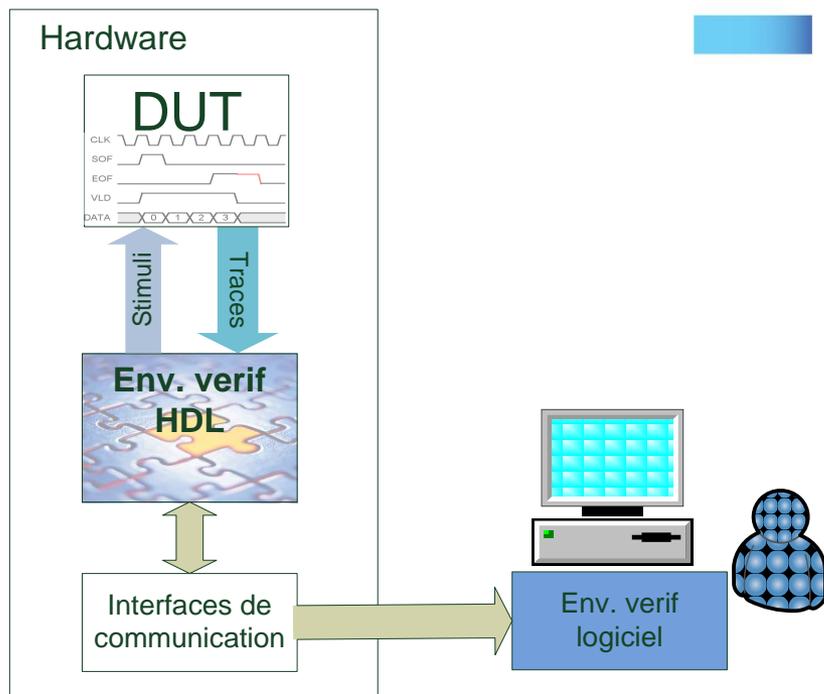




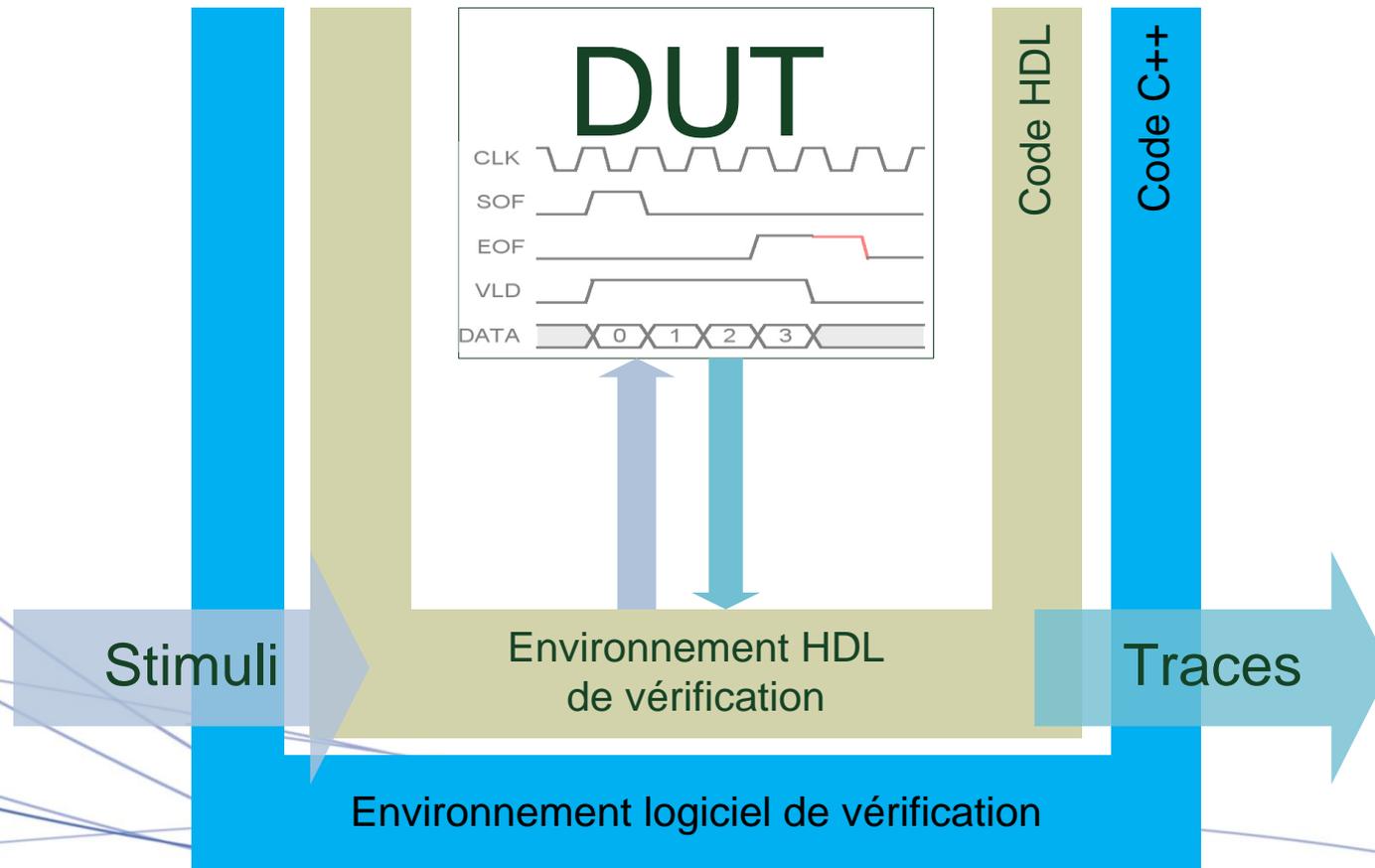
**ADACSYS**

Advanced Acceleration Systems

# Principe fonctionnel



# Mise en œuvre HDL et logicielle



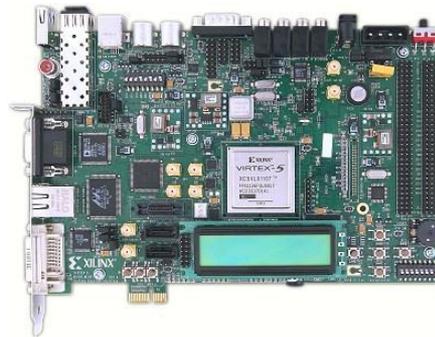
## — Outil modulaire et adaptable :

### Starter kits

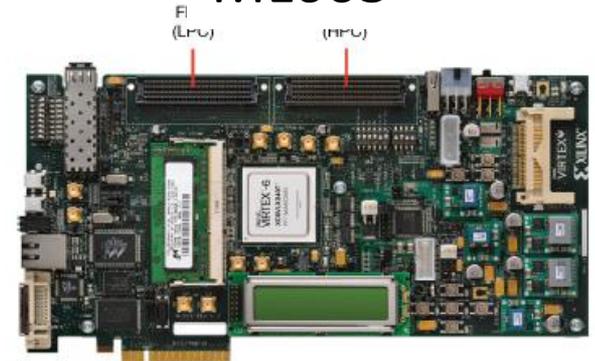
AES-V5FXT-EVL30



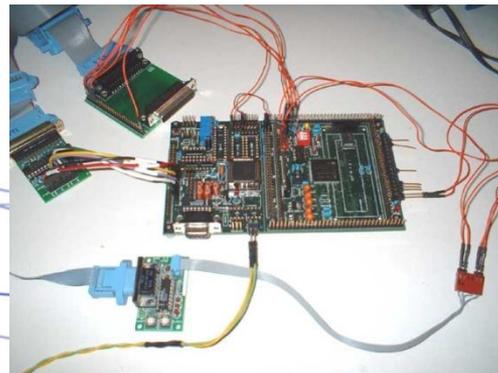
ML505



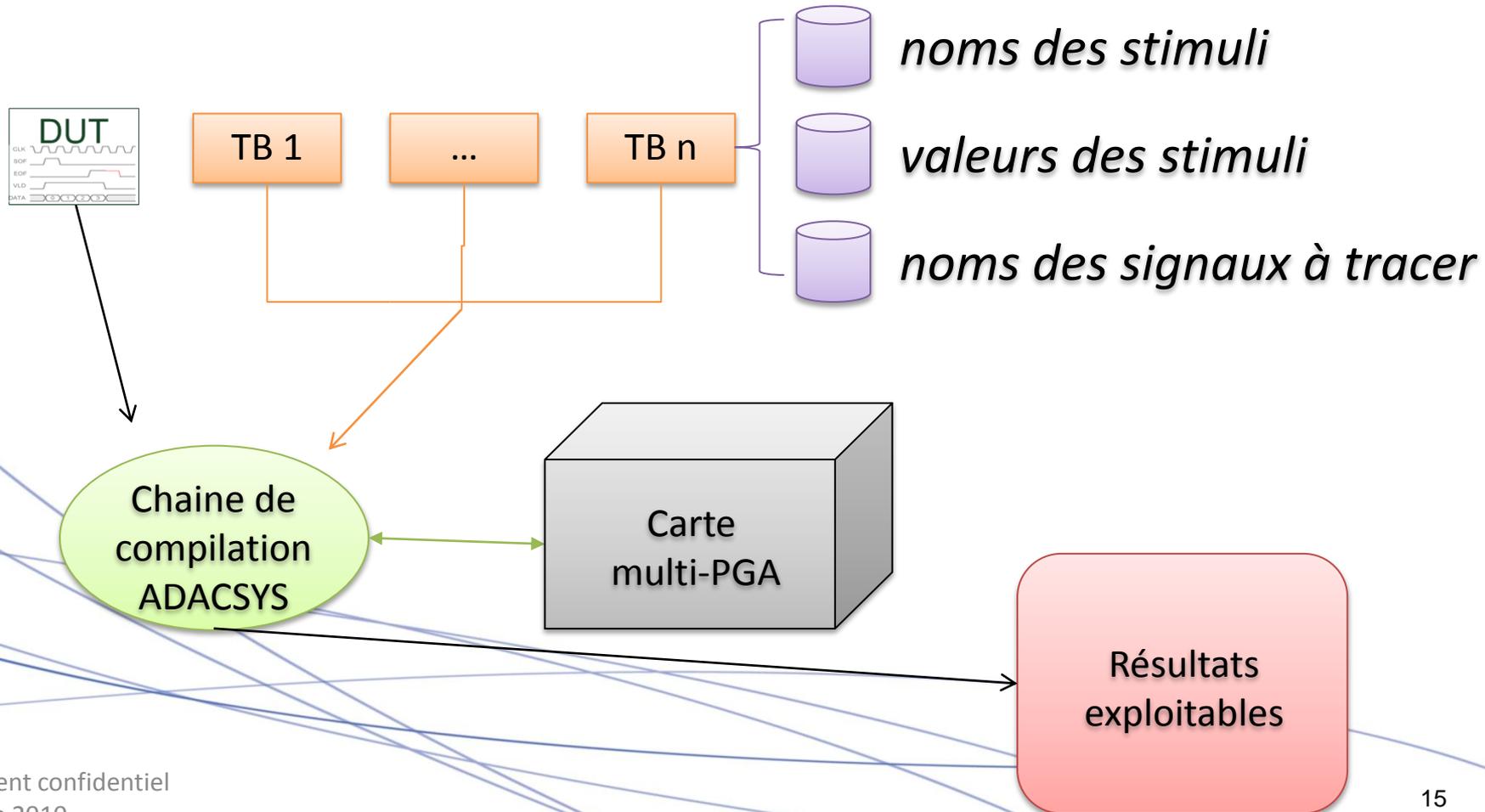
ML605



### Cartes propriétaires

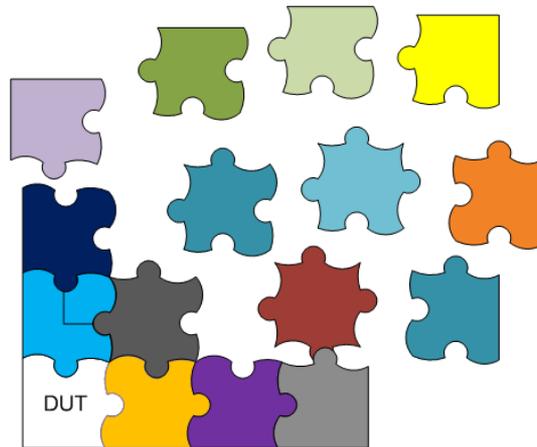


# ■ Environnement de vérification « AVA »





## — compilation



### Instrumentation

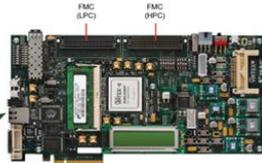
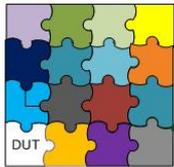
- *aa\_compile*

### Génération des binaires

- *aa\_gen\_bin*



# Runtime



Chargement des binaires

- *aa\_upload\_bin*



```
011101001110100010  
101001001010101010  
101010101000000101  
010101010101010101
```

Chargement des stimuli

- *aa\_upload*



Run

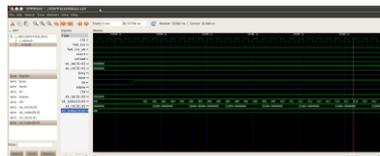
- *aa\_run*



Récupération des traces

- *aa\_download*

```
01110100111010  
00101010010010  
10101010101010  
10100000010110
```

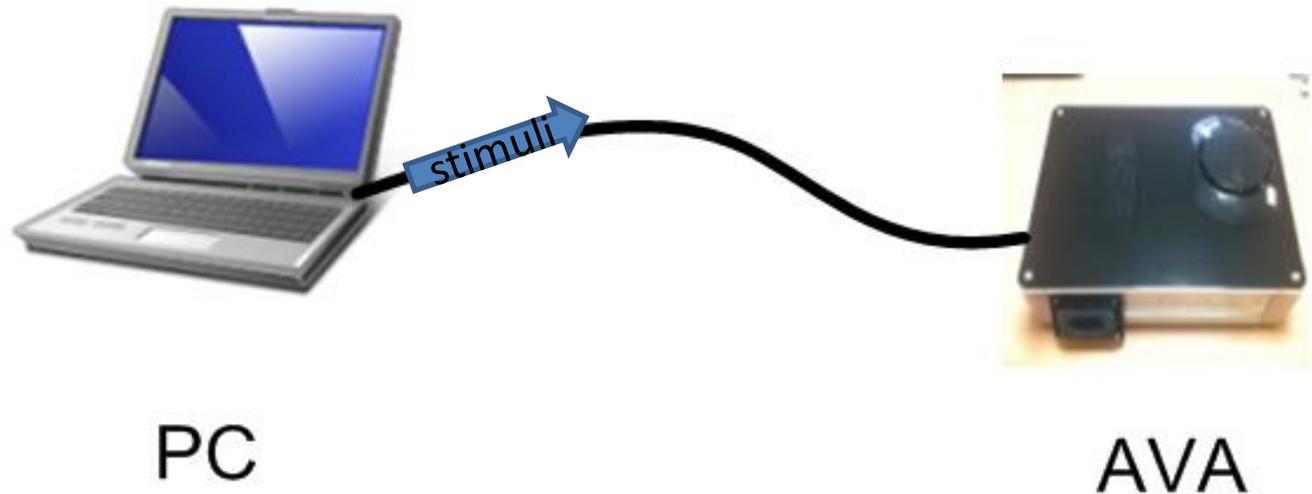


1. Présentation d'ADACSYS
2. Problématique
3. (R)AVA : principe de fonctionnement
- 4. Fonctionnalités supplémentaires**
5. Démonstration
6. Cas d'utilisation
7. Conclusion
8. Perspectives

## ■ Faible empreinte mémoire

- Mode longRun

Envoi des stimuli

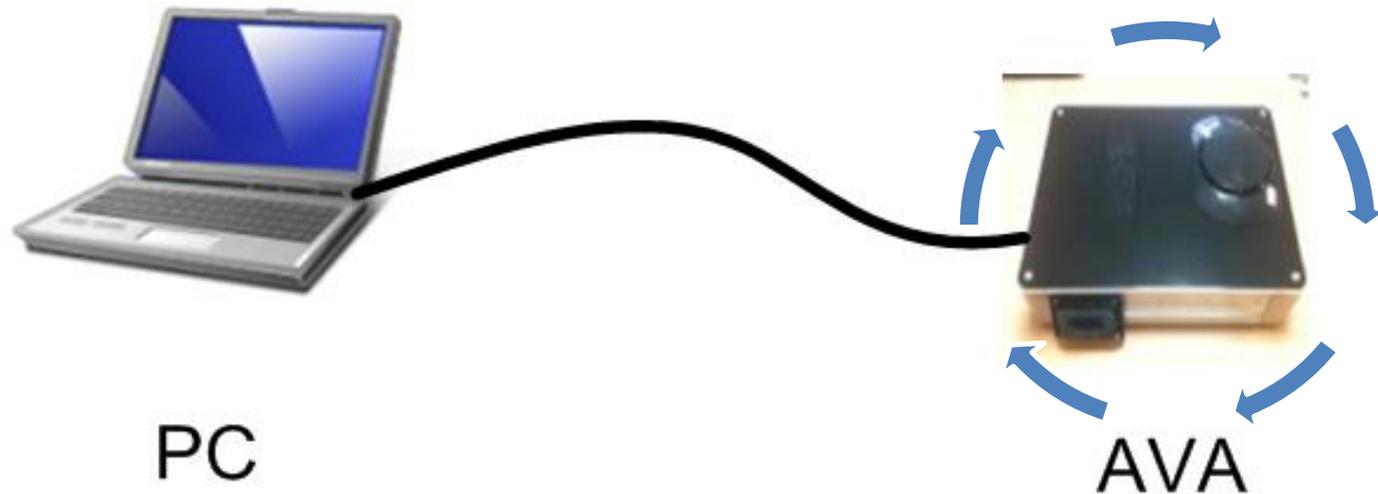


## ■ Faible empreinte mémoire

- Mode longRun

Run sur AVA

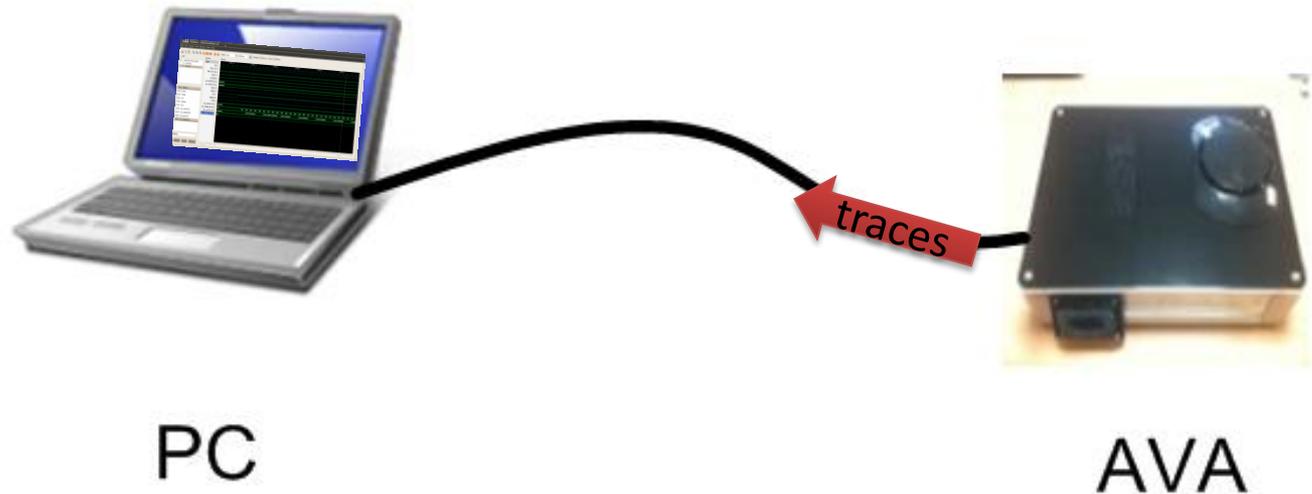
Run



## ■ Faible empreinte mémoire

- Mode longRun

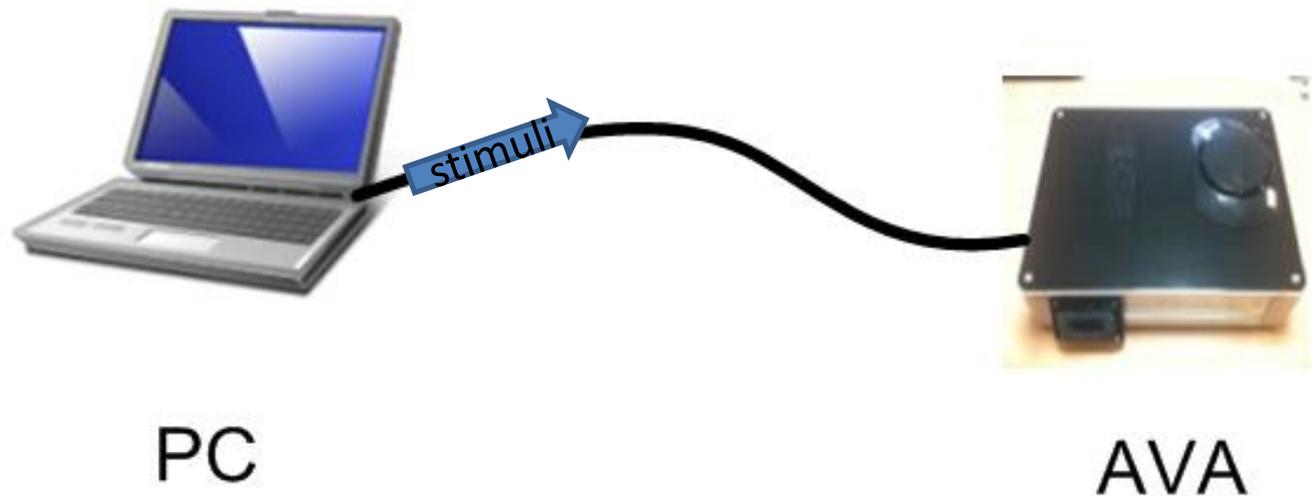
Réception traces



## ■ Faible empreinte mémoire

- Mode longRun

Envoi des stimuli

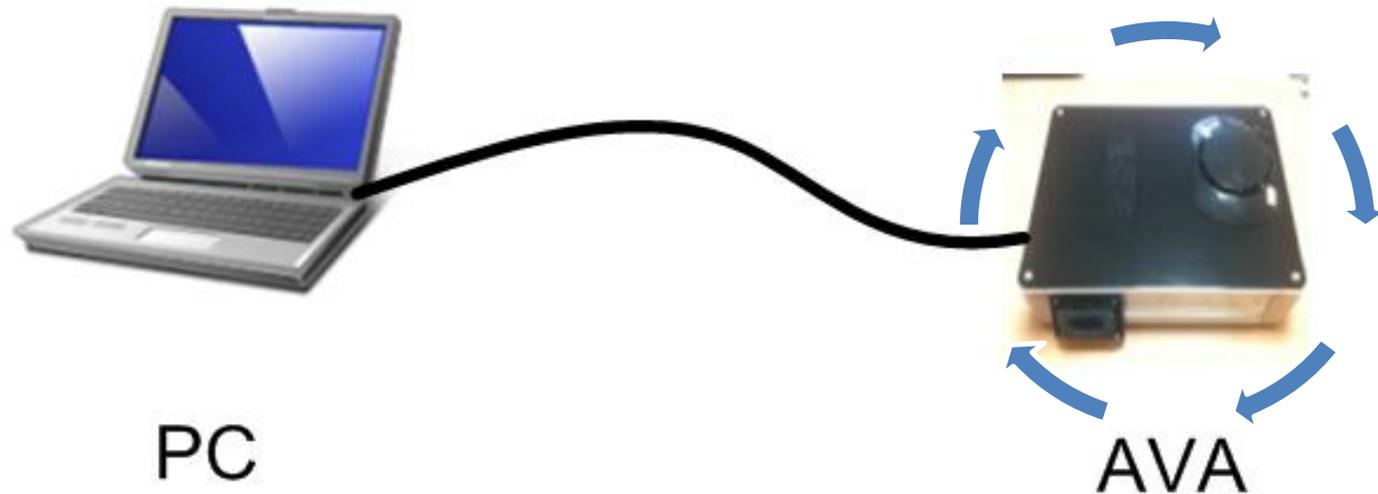


## ■ Faible empreinte mémoire

- Mode longRun

Run sur AVA

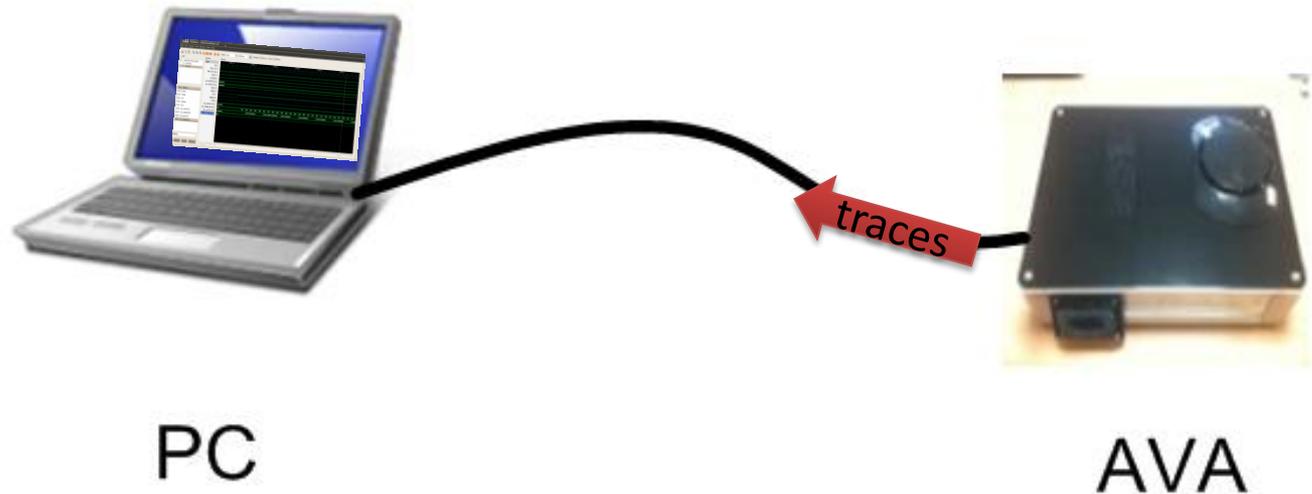
Run



## ■ Faible empreinte mémoire

- Mode longRun

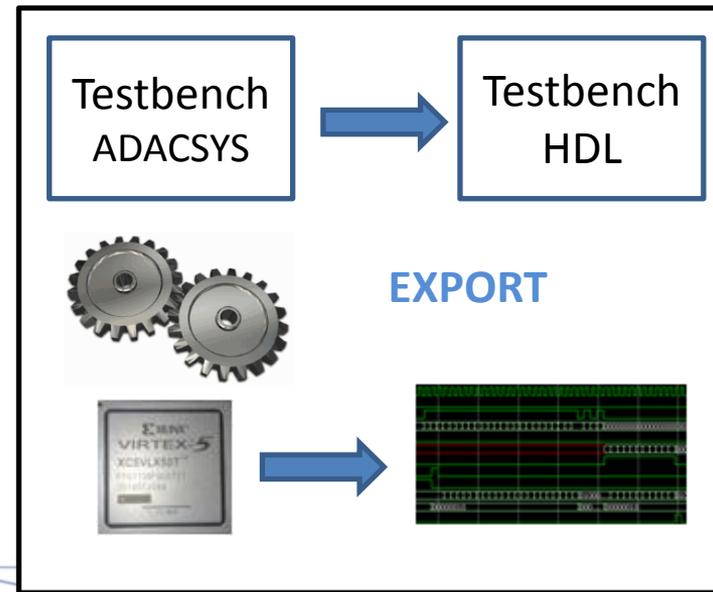
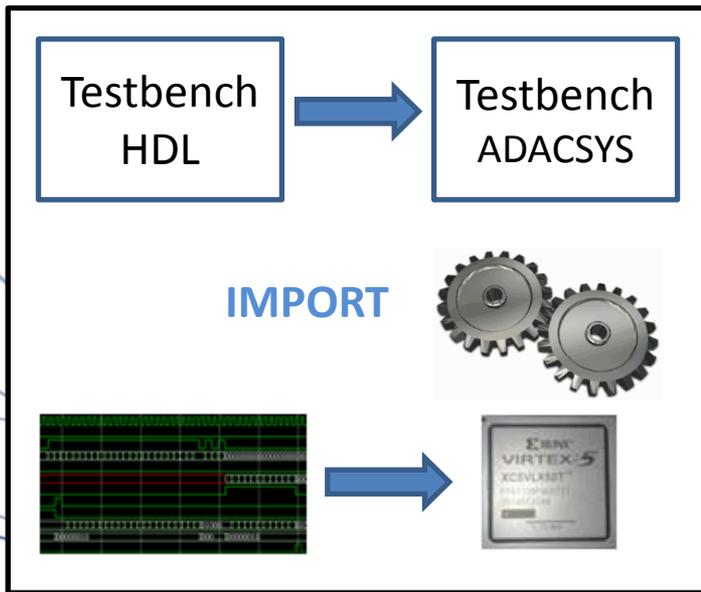
Réception traces



# Les passerelles : import et export

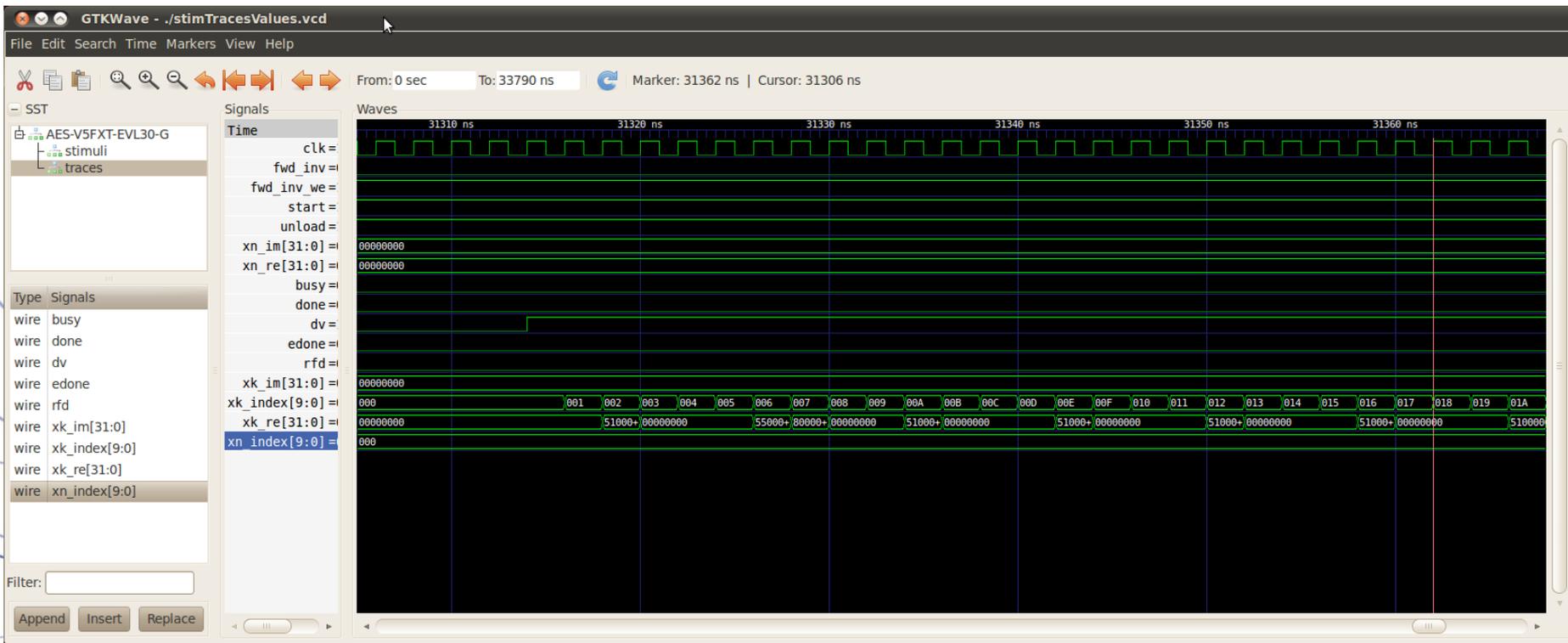
**import** : *HDL2AVA*

**export** : *AVA2HDL*



# Visualisation des stimuli et des traces

## Intégration automatique avec *gtkwave*



# Automatisation des commandes

Les commandes ADACSYS peuvent être scriptées.

```
Shell] aa_new_design.exe -d .
Information - '.' directory already exists. No need to create it.
Information - Design '.': construction successful.

Shell] aa_new_tb.exe -d . -b t0 -a alpha
Information - Testbench 't0' (design '.'): construction successful.

Shell] aa_compile.exe -d . -b t0 -t ../../dev/src/top_dut.vhd -e top_dut -a alpha
Information - . design compiled for test bench t0.

Shell] aa_gen_bin.exe -d . -b t0 -a alpha
Changed current working directory to the project directory:
"/home/erik.hochapfel/ADACSYS/demos/tutorials/calculus4bits/ADACSYS/ALPHA/calcul
us4bits/TB/t0/.ALPHA/brd0/fpga1"
Changed current working directory to the project directory:
"/home/erik.hochapfel/ADACSYS/demos/tutorials/calculus4bits/ADACSYS/ALPHA/calcul
us4bits/TB/t0/.ALPHA/brd0/fpga0"
Got
"/home/erik.hochapfel/ADACSYS/demos/tutorials/calculus4bits/ADACSYS/ALPHA/calcul
us4bits/TB/t0/.ALPHA/brd0/fpga1/fpga1.vhd" while looking for
"/home/erik.hochapfel/ADACSYS/demos/tutorials/calculus4bits/dev/libraries/mylib/
p_sub4bit.vhd"

Shell]
```

1. Présentation d'ADACSYS
2. Problématique
3. (R)AVA : principe de fonctionnement
4. Fonctionnalités supplémentaires
- 5. Démonstration**
6. Cas d'utilisation
7. Conclusion
8. Perspectives

## ■ Démonstration FFT 1024

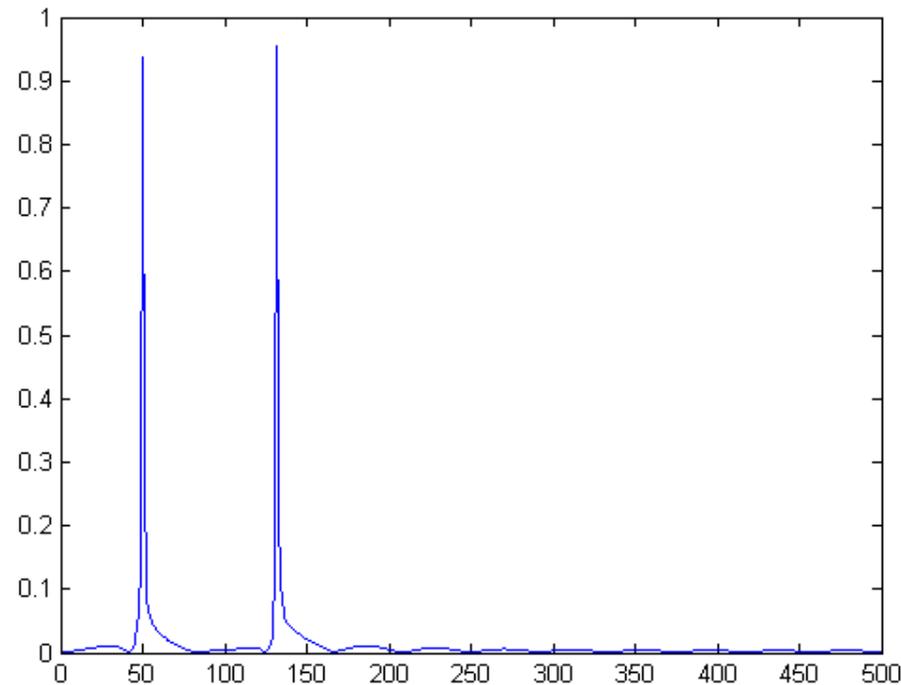
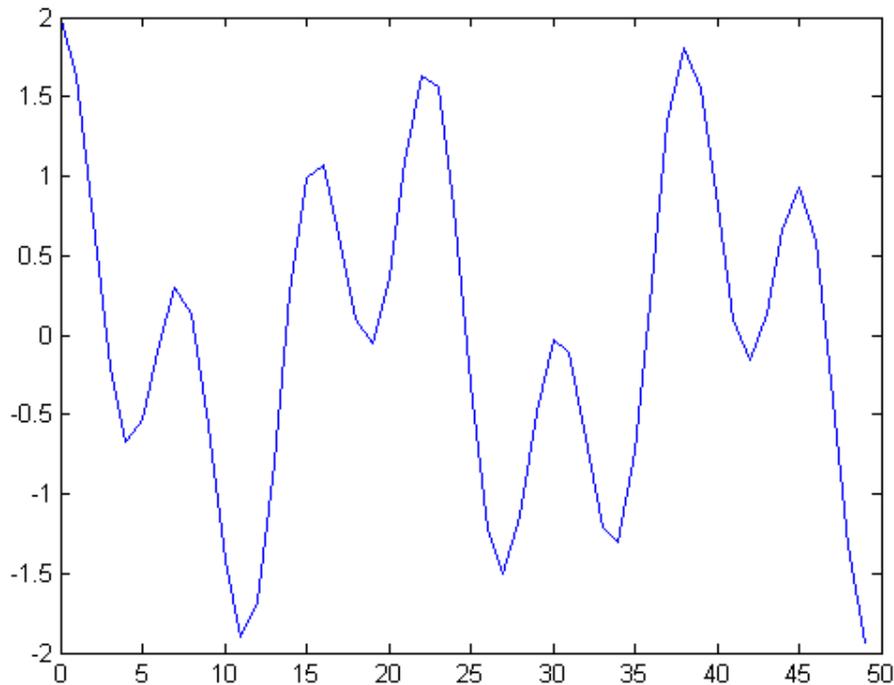
- $\cos(2 \cdot \pi \cdot 50t) + \cos(2.2 \cdot \pi \cdot 120t)$
- FFT CoreGen 7.1 Paramètre: 1024 Transform length
- Radix-2 BurstI/O
- floating point 32 bit/24 bit phase factor width
- Natural Order / Data block RAM



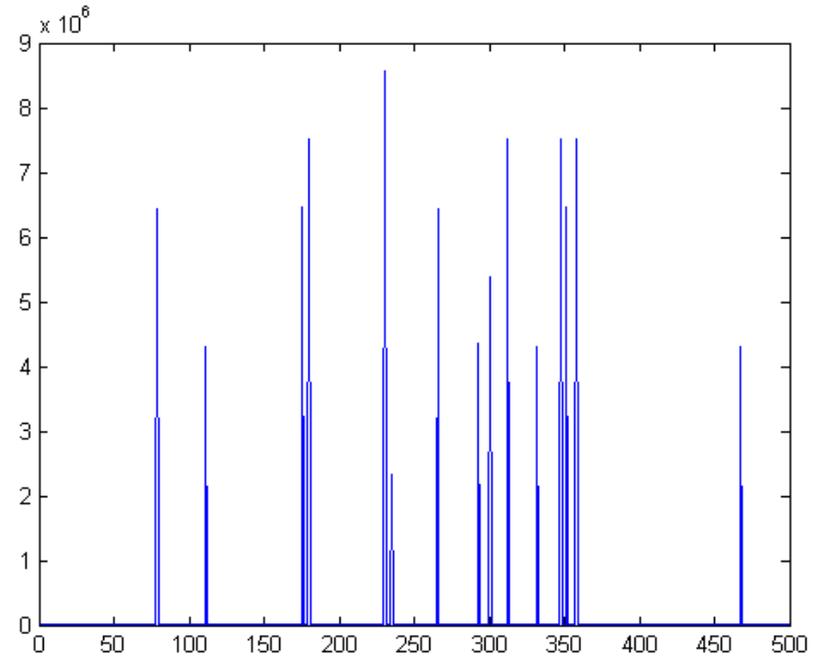
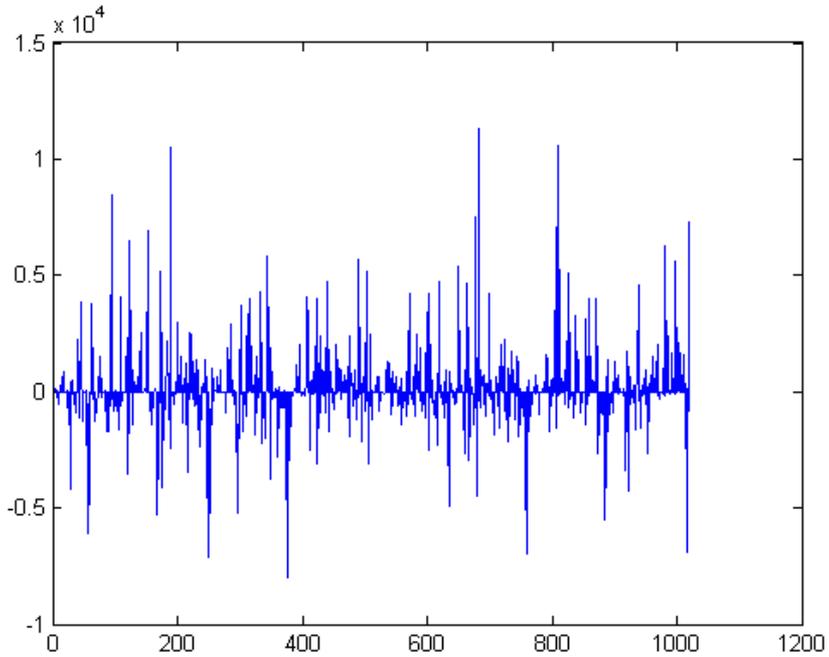
**ADACSYS**

Advanced Acceleration Systems

## ■ Avec Matlab



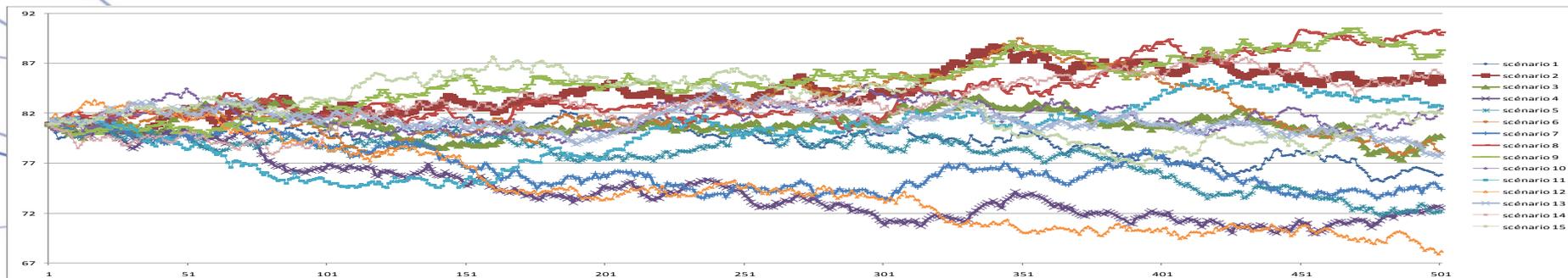
■ **Sur FPGA**



1. Présentation d'ADACSYS
2. Problématique
3. (R)AVA : principe de fonctionnement
4. Fonctionnalités supplémentaires
5. Démonstration
- 6. Cas d'utilisation**
7. Conclusion
8. Perspectives

## ■ Cas d'utilisation

- Bloc IP HDL d'accélération de calcul financier vérifié avec AVA :
  - Calcul sur flottants : opérateurs Flopoco en collaboration avec l'INRIA
  - Générateur de nombre aléatoires
  - Méthode de Monte Carlo
  - *pricing* d'options de type américaines et européennes pour l'évaluation du risque de portefeuille d'options

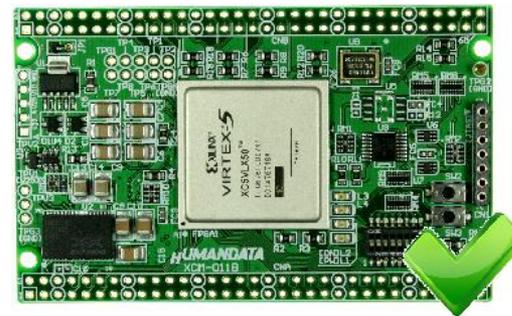


1. Présentation d'ADACSYS
2. Problématique
3. *(R)AVA* : principe de fonctionnement
4. Fonctionnalités supplémentaires
5. Démonstration
6. Cas d'utilisation
- 7. Conclusion**
8. Perspectives

## Conclusion

- Simplicité d'utilisation et automatisation logicielle
- Accès à distance : RAVA
- Vérification fonctionnelle matérielle accélérée
- « *FPGA Proven* »

FPGA cible



Carte cible

- Gain de temps à qualité constante
- Couverture plus grande et meilleure qualité

1. Présentation d'ADACSYS
2. Problématique
3. (R)AVA : principe de fonctionnement
4. Fonctionnalités supplémentaires
5. Démonstration
6. Cas d'utilisation
7. Conclusion
- 8. Perspectives**

## ■ Perspectives

- Mise en place et validation de notre solution à distance RAVA
- Développement d'une Interface web
- Déploiement sur un modèle de *cloud computing* internalisé de RAVA
- Routage inter-FPGA
- Environnement de cosimulation
- Cross référence entre RTL et trace sur matériel
- Debbugage logiciel embarqué

- Nous vous remercions de votre attention



## ■ Contacts

**Linlin Zhang**

Ingénieur R&D Hardware

**Erik Hochapfel**

Président

Responsable R&D soft

**ADACSYS**

7 rue de la Croix Martre

91120 Palaiseau

[linlin.zhang@adacsys.com](mailto:linlin.zhang@adacsys.com)



[erik.hochapfel@adacsys.com](mailto:erik.hochapfel@adacsys.com)



01 69 19 72 72



06 29 62 06 27