

# Modélisation statistique de circuits analogiques et mixtes pour l'optimisation du test de production

Nourredine Akkouche, Salvador Mir et Emmanuel Simeu

[Nourredine.Akkouche@imag.fr](mailto:Nourredine.Akkouche@imag.fr)

*Laboratoire TIMA  
46, avenue Félix Viallet  
38031 Grenoble Cedex*

**Premières journées du projet SEmba**  
Les 22 et 23 Octobre 2009 aux Balcons du Lac d'Annecy

---

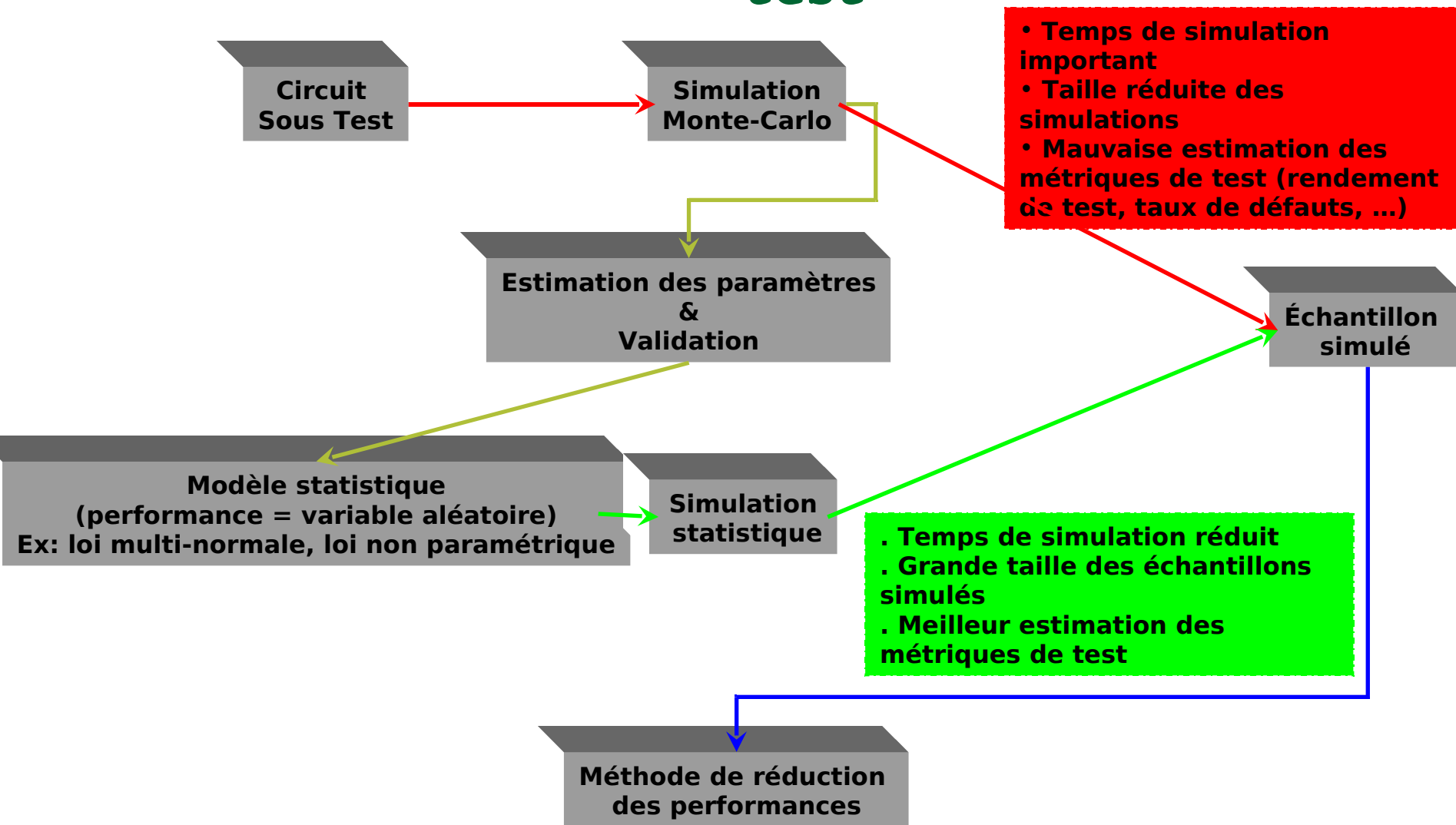
# Plan

1. Introduction
2. Modélisation statistique du circuit sous test
3. Méthode de réduction des performances
4. Exemple d'application
5. La méthode du Noyau
6. Conclusion et perspectives

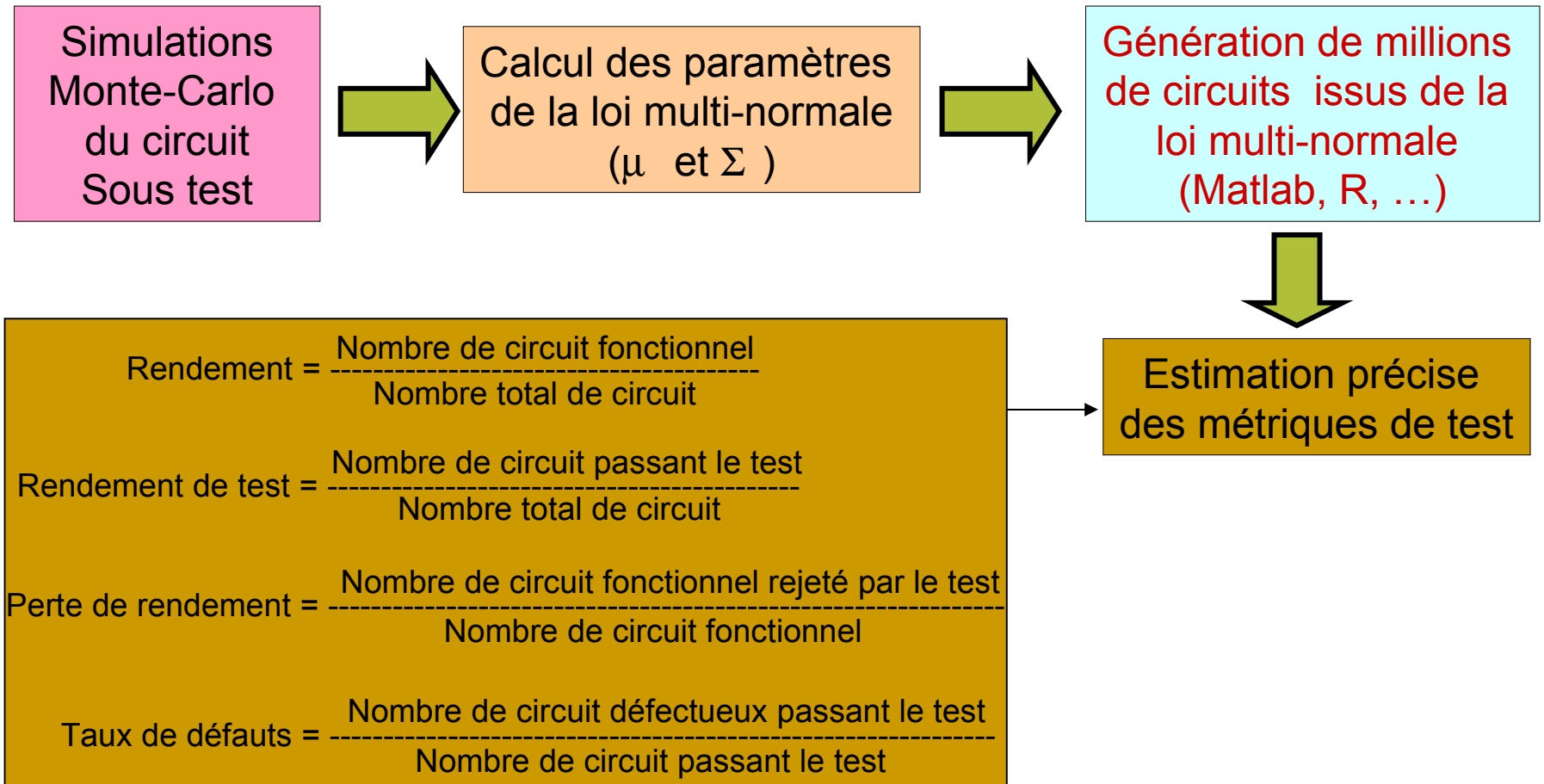
# Introduction

- Test fonctionnel explicite de l'ensemble des performances du circuit sous test
  - Temps de Test
    - Mesures multiple et configuration de test
    - Commutant et temps de stabilisation
  - Coût des équipement de test
    - ATE (plusieurs million de dollars)
    - Circuits spécialisés pour des génération de stimuli et la mesure de la réponse
- Nécessité de tester un ensemble réduit de performances
  - Temps raisonnable
  - Risque de test minimum
- Méthode de réduction de test fonctionnel:
  - Modèles de régression **Brockman J. B. and S. W. Director**, IEEE Transactions on Semiconductor Manufacturing, vol. 2, no. 3, 1989.
  - Technique d'apprentissage **Stratigopoulos H.-G. D., P. Drineas, M. Slamani, and Y. Makris**, in Proc. VTS,, 2007, pp. 9–14.
  - Faulty-driven approach **Milor L. and A. L. Sangiovanni-Vincentelli**, IEEE Trans. Computer-Aided Design, no. 6, pp. 796–813, June 1994.

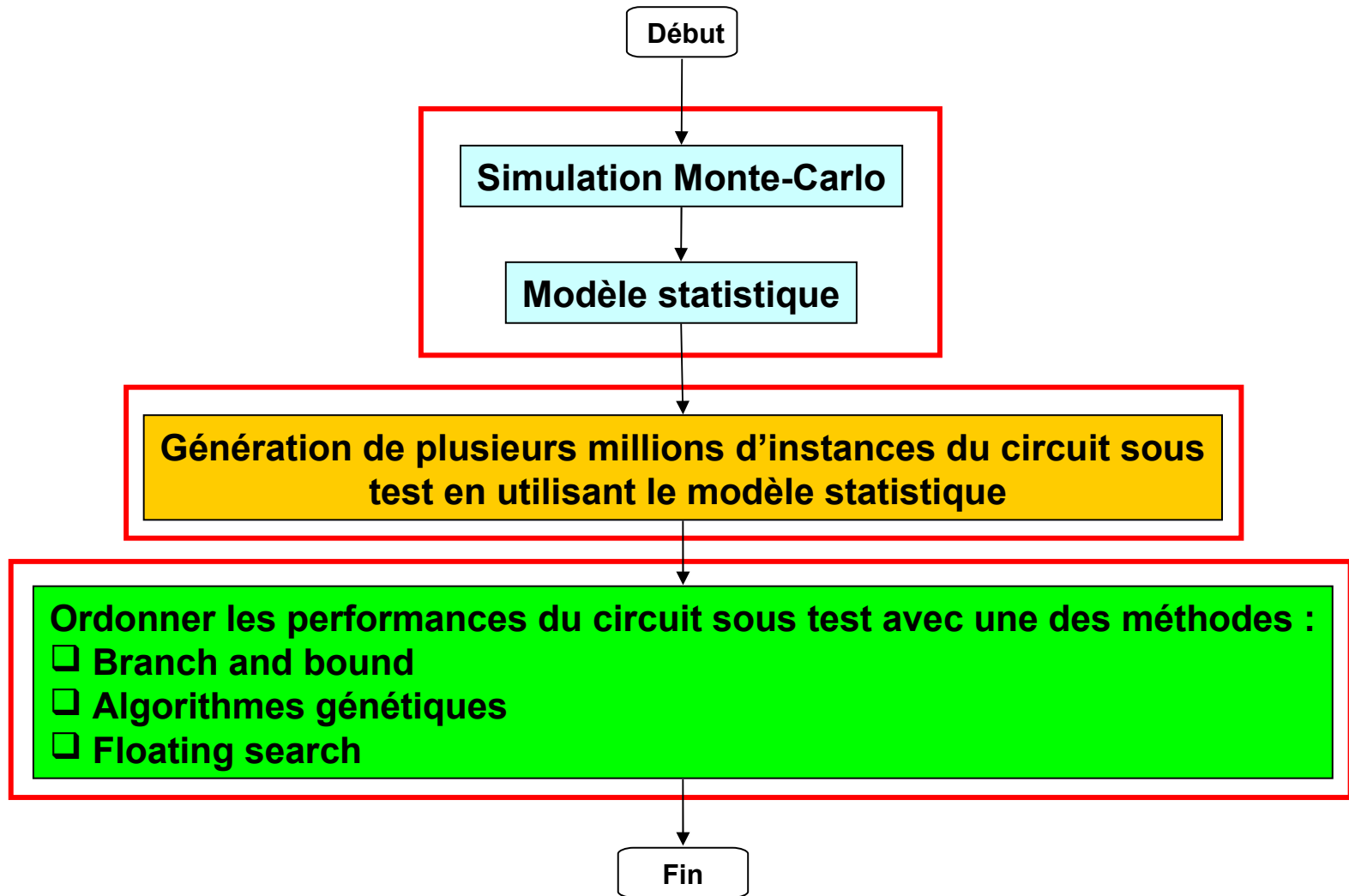
# Modélisation statistique du circuit sous test



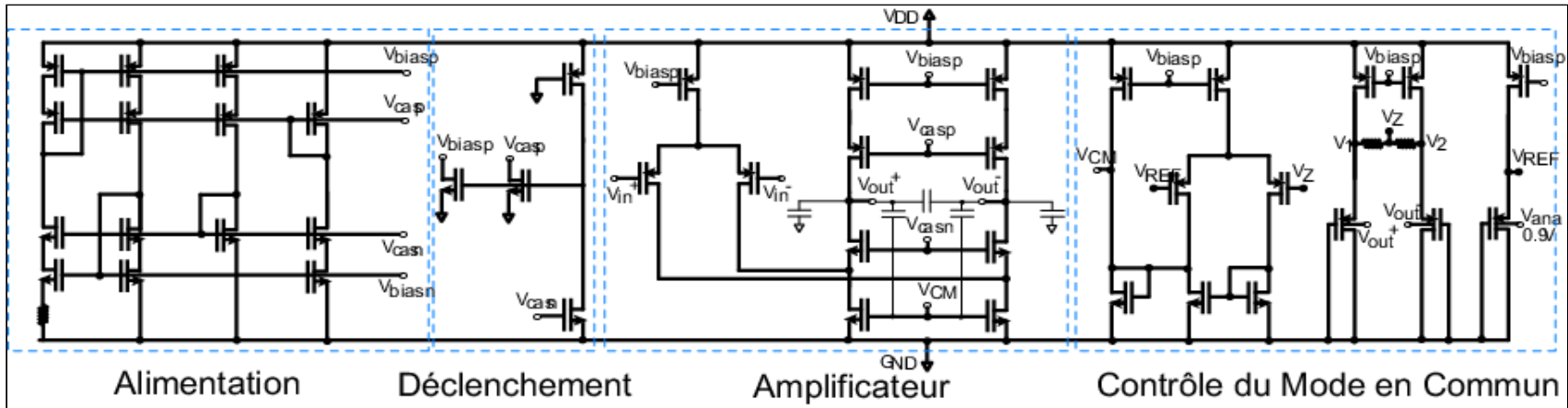
# Estimation des métriques de test en utilisant la loi multi-normale



# Méthode de réduction des performances



# Exemple d'application



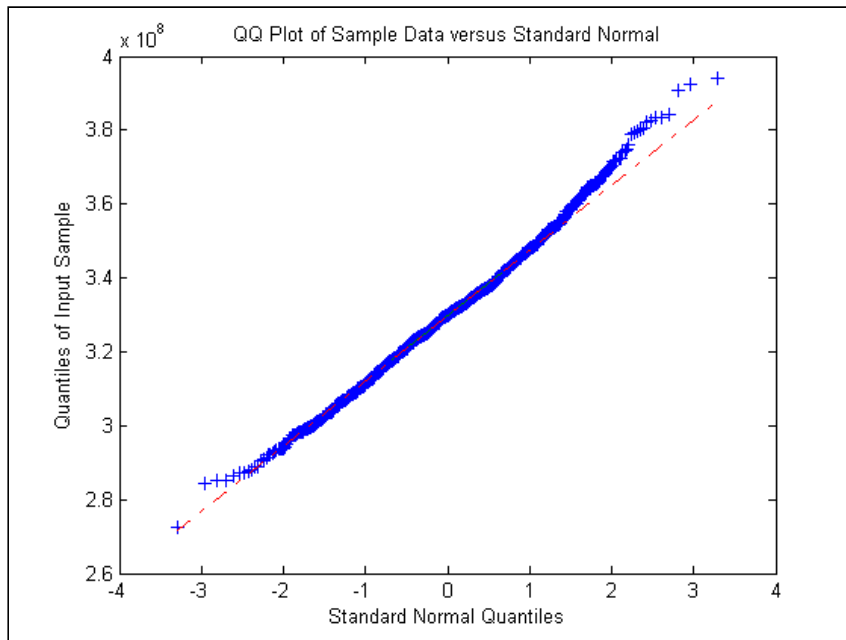
*0.18  $\mu\text{m}$  STMicroelectronics technology*

Performance	Test bench	$\mu$	$\sigma$	Spécification at $4.3 \sigma$	
1. Gain $A_D$	1	76.60dB	0.493dB	74.49dB	78.71dB
2. $GBW_D$		330MHz	18.14MHz	252.36MHz	407.64MHz
3. Phase Margin		63.33°	0.45°	61.40°	65.26°
4. CMRR	2	-42.76dB	1.02dB	-47.13dB	-38.39dB
5. PSRR $G_{ND}$	3	-29.99dB	3.65dB	-45.61dB	-14.37dB
6. PSRR $V_{DD}$	4	-28.21dB	3.75dB	-44.26dB	-12.16dB
7. THD (Total Harmonic Distortion)	5	66.19dB	2.38dB	56.00dB	76.38dB
8. Current Consumption $I_{DD}$		2.48mA	0.21mA	1.58mA	3.38mA
9. Intermodulation	6	67.57dB	1.09dB	62.90dB	72.24dB
10. SR+ (CL=1pF)	7	73.14V/ $\mu\text{s}$	5.55V/ $\mu\text{s}$	49.38V/ $\mu\text{s}$	96.88V/ $\mu\text{s}$
11. In Referred Noise (BW=20kHz)	8	39.22 $\mu\text{V}$	0.5 $\mu\text{V}$	37.08 $\mu\text{V}$	41.36 $\mu\text{V}$

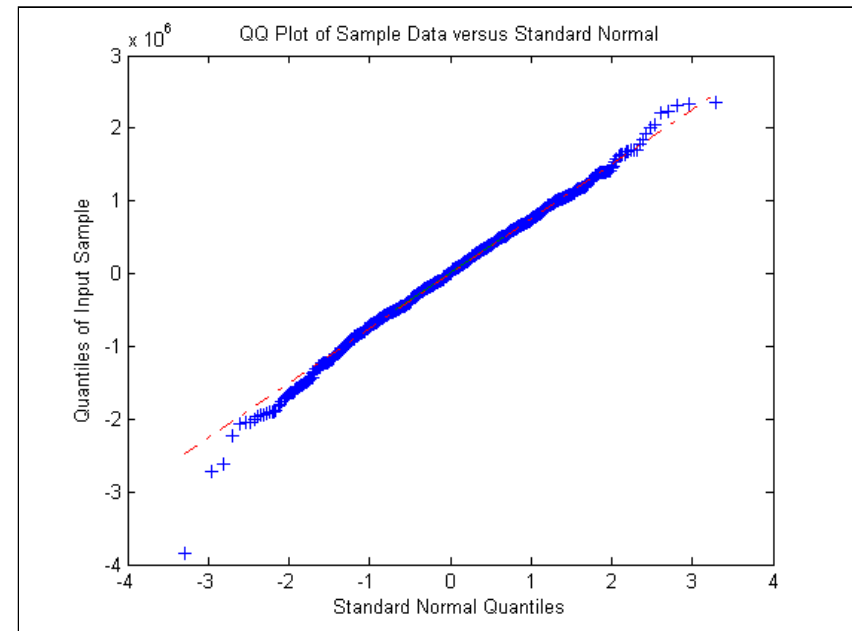
*Tableau des specifications*

# Validation de l'hypothèse multi-normale

- Utiliser la méthode de la droite de Henry (Normal quantile Plots)



**Variable marginale 2**



**Variable marginale 10**



# Résultats

## 1. Ordre d'élimination des performances

Ordre d'élimination	Performance
1	PSRR ( $G_{ND}$ )
2	SR+
3	THD
4	CMRR
5	GBW <sub>D</sub>
6	Intermodulation
7	$I_{DD}$
8	$A_D$
9	Phase Margin
10	Noise
11	PSRR ( $V_{DD}$ )

# Résultats

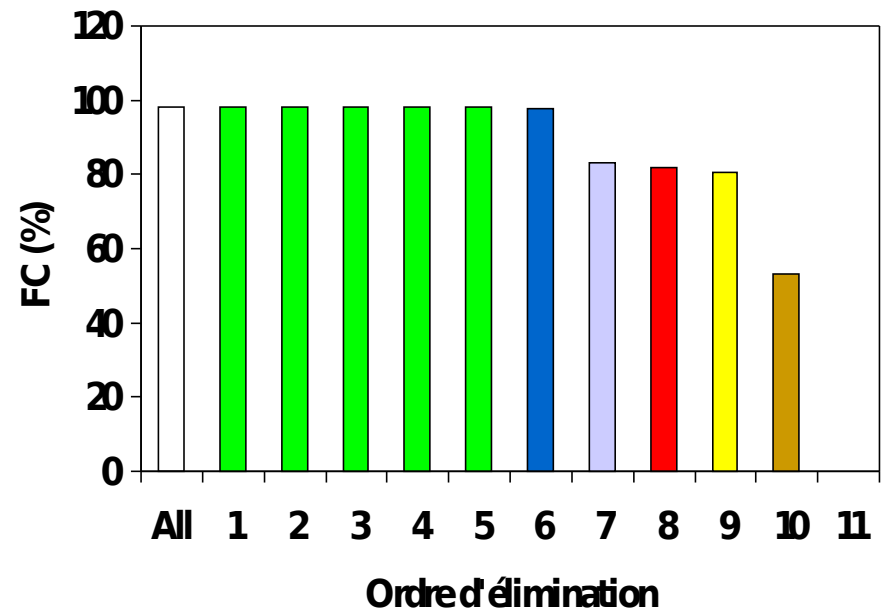
## 2. Intervalle de confiance à 99% de taux de défauts

Nombre de performances retenues	Intervalle de confiance	
	Borne inférieure	Borne supérieure
11	0	0
10	0.2	0.9
9	0.8	2
8	6.5	7.6
7	12	14
6	22.7	25
5	36.1	37.7
4	50	52.6
3	64	69.6
2	82.2	86.6
1	100.7	104
0	119.5	125

# Couverture de fautes catastrophiques

## 3. Couverture de fautes catastrophiques

Ordre d'élimination	Performance	Couverture de faute (%)
	All	98.13
1	PSRR (GND)	98.13
2	SR+	98.13
3	THD	98.13
4	CMRR	98.13
5	GBWD	98.13
6	Intermodulation	97.50
7	IDD	83.13
8	AD	81.88
9	Phase Margin	80.63
10	Noise	53.13
11	PSRR (VDD)	0



- Injection de 160 fautes catastrophiques (court-circuit, circuit ouvert).

# La méthode du noyau

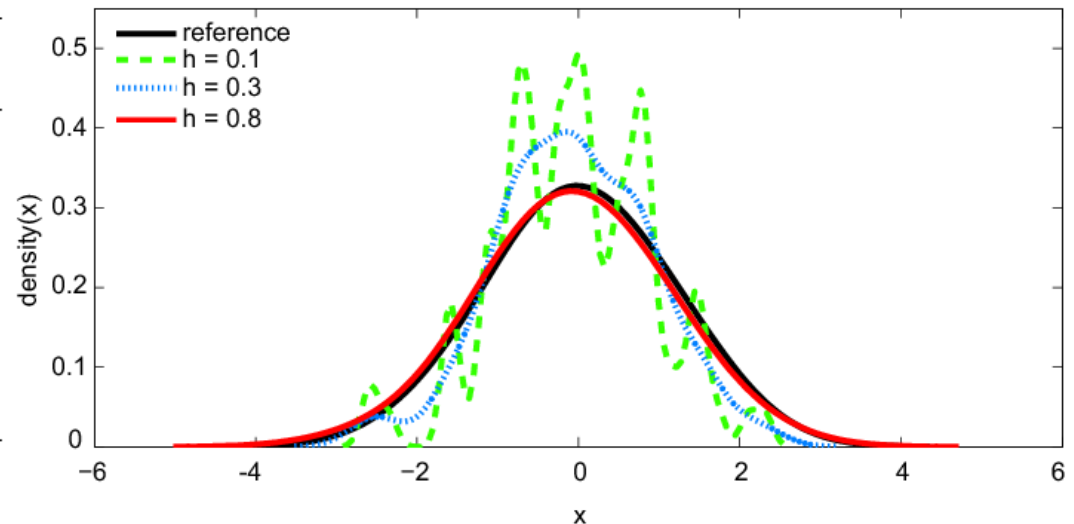
$$\hat{f}_h(x) = \frac{1}{nh} \sum_{i=1}^n K\left(\frac{x - X_i}{h}\right)$$

Noyau

Largeur de la  
fenêtre

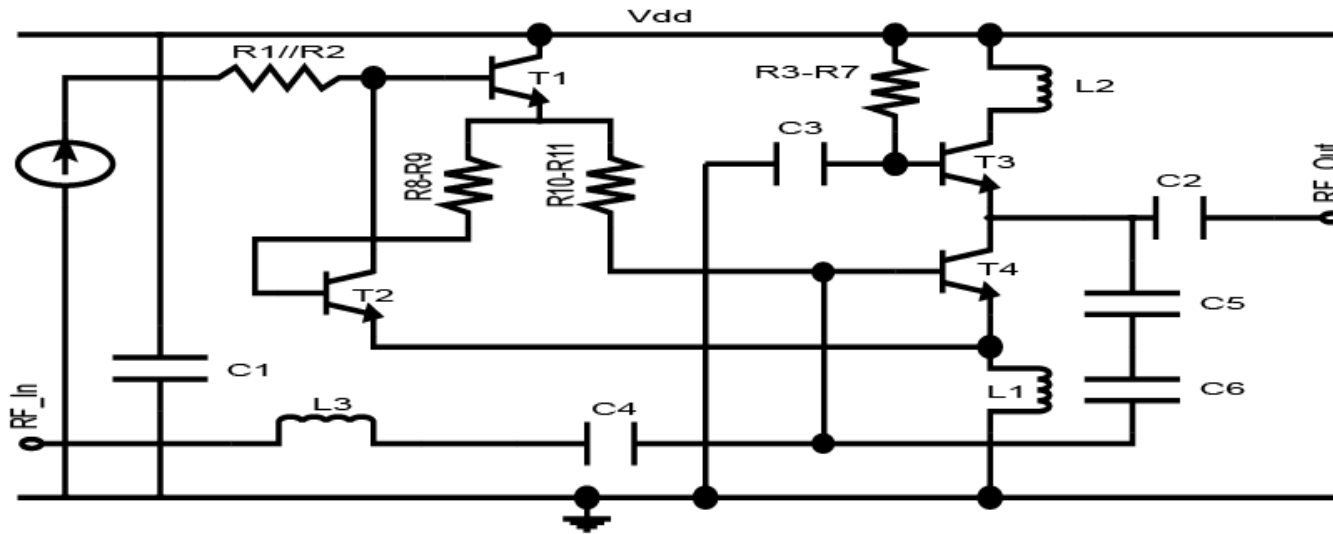
Kernel	$K(u)$
Uniform	$\frac{1}{2}I( u  \leq 1)$
Triangle	$(1 -  u )I( u  \leq 1)$
Epanechnikov	$\frac{3}{4}(1 - u^2)I( u  \leq 1)$
Quartic (Biweight)	$\frac{15}{16}(1 - u^2)^2I( u  \leq 1)$
Triweight	$\frac{35}{32}(1 - u^2)^3I( u  \leq 1)$
Gaussian	$\frac{1}{\sqrt{2\pi}} \exp(-\frac{1}{2}u^2)$
Cosine	$\frac{\pi}{4} \cos(\pi 2u)I( u  \leq 1)$

*Différents noyaux*



*Influence de la largeur de fenêtre*

## Exemple d'application



*Amplificateur faible bruit LNA (Low Noise Amplifier) conçu sous la technologie 0.25  $\mu\text{m}$  BiCMOS de STMicroelectronics*

NF	$S_{11}$	Gain	1-dB CP	IIP <sub>3</sub>
$\leq 1.3$ dB	$\leq -9$ dB	$\geq 17$ dB	$\geq -11.3$ dBm	$\geq -5.1$ dBm

*Tableau des spécifications*

# Résultats

## 1. Ordre d'élimination des performances

Ordre d'élimination	Performance
1	$S_{11}$
2	$IIP_3$
3	NF
4	1-dB CP
5	Gain

# Résultats

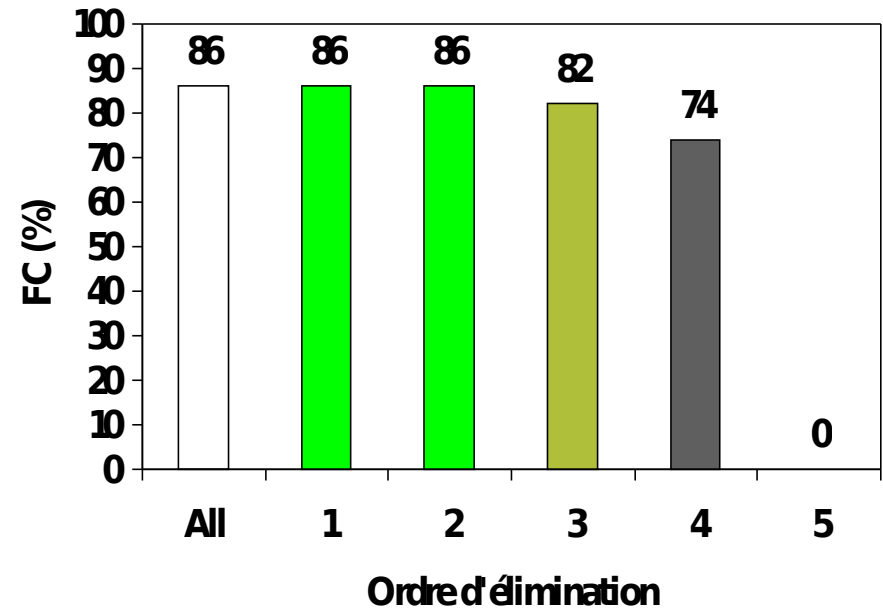
## 2. Intervalle de confiance à 99% de taux de défauts

Nombre de performances retenues	Intervalle de confiance	
	Borne inférieure	Borne supérieure
5	0	0
4	1.9	2.7
3	27.8	30.9
2	157.4	170.1
1	327.7	350.6
0	1451.6	1499.3

# Résultats

## 3. Couverture de fautes catastrophiques

Ordre d'élimination	Performance	Couverture de faute (%)
	All performances	86
1	$S_{11}$	86
2	$IIP_3$	86
3	NF	82
4	1-dB CP	74
5	Gain	0



- Injection de 50 fautes catastrophiques (court-circuit, circuit ouvert).



## Conclusion et perspectives

- Proposition d'une nouvelle méthode statistique de réduction de performances basée sur la minimisation du taux de défauts et assurant le passage de tous les circuits fonctionnels. Cette méthode a permis de :
  - Établir un ordre d'élimination des performances.
  - Déterminer les performances à éliminer du test pour chaque taux de défauts fixé, tout en annulant la perte de rendement.
- Validation de l'ordre d'élimination des performances dans le cas des fautes catastrophiques.
- Relaxation de l'hypothèse multi-normale par l'utilisation de la méthode du noyau dans l'estimation des métriques de test.

---

## Conclusion et perspectives

- Dans le cas de circuit avec un nombre important de performance, décomposer l'ensemble des performances en sous-ensembles plus facile à modéliser et à ordonner.
- Validation des résultats sur un circuit avec un large nombre de performances et des données de production.



Merci pour votre attention

---

Questions ?